

PCT

世界知的所有権機関  
国際事務局



特許協力条約に基づいて公開された国際出願

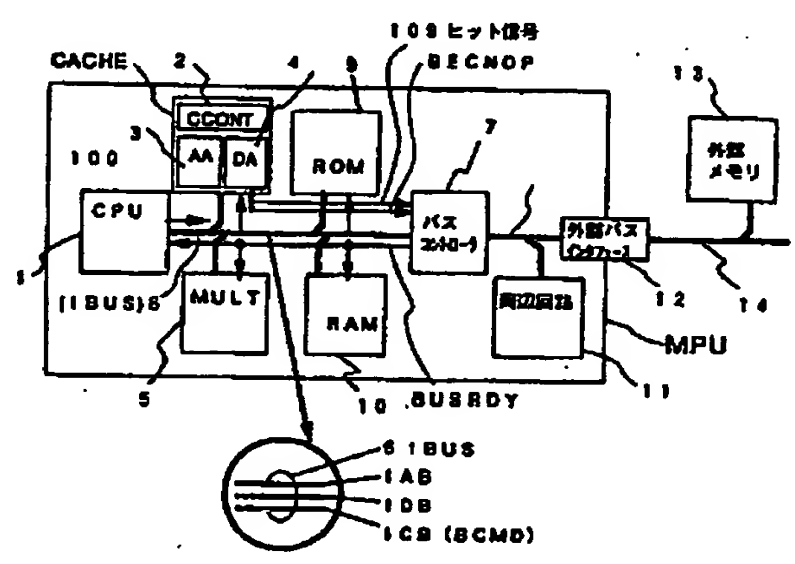
(51) 国際特許分類6 G06F 12/08, 15/78		A1	(11) 国際公開番号 WO96/36919
			(43) 国際公開日 1996年11月21日(21.11.96)
(21) 国際出願番号 PCT/JP96/01308 (22) 国際出願日 1996年5月17日(17.05.96) (30) 優先権データ 特願平7/145552 1995年5月19日(19.05.95) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 山崎 尊永(YAMAZAKI, Takanaga)(JP/JP) 〒206 東京都多摩市員取二丁目2番地 グリーンメゾン員取12-202 Tokyo, (JP) 赤尾 泰(AKAO, Yasushi)(JP/JP) 〒185 東京都国分寺市東恋ヶ窪6丁目14番地39 Tokyo, (JP) 倉員 桂一(KURAKAZU, Keiichi)(JP/JP) 〒359 埼玉県所沢市大字上山口5003番地の12 Saitama, (JP) 片岡 健(KATAOKA, Takeshi)(JP/JP) 〒167 東京都杉並区下井草4-20-28 Tokyo, (JP)		(74) 代理人 弁理士 玉村 静世(TAMAMURA, Shizuyo) 〒271 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba, (JP) (81) 指定国 CN, JP, KR, SG, US, 欧州特許(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書	

(54) Title : A MICROCOMPUTER

(54) 発明の名称 マイクロコンピュータ

(57) Abstract

A microcomputer, in which the memory and cache memory are optimally controlled to improve computer processing performance. A microcomputer (MPU) includes built-in memories (9, 10) mounted to the same semiconductor substrate with a cache memory (CACHE). The built-in memories are those which allow high speed access in the same way as a cache hit in the cache memory. High speed access can be made to the built-in memories (9, 10) in all cases in the same way as the cache hit by making them noncacheable, that is, by mapping the built-in memories (9, 10) to a noncacheable area. If they are cacheable, on the other hand, the data relating to a cache miss must be placed in the cache memory in the event of a cache miss during access to the built-in memories.



- 7 ... bus controller
- 11 ... peripheral circuit
- 12 ... external bus interface
- 13 ... external memory
- 109 ... hit signal

(57) 要約

本発明は、マイクロコンピュータに夫々内蔵されたメモリとキャッシュメモリの動作をデータ処理性能向上のために最適に制御することを目的とする。

マイクロコンピュータ (MPU) は、キャッシュメモリ (CACHE) と共に内蔵メモリ (9, 10) を同一半導体基板に搭載し、当該内蔵メモリはキャッシュメモリにおけるキャッシュヒットの場合と同様に高速アクセス可能な内蔵メモリとされる。内蔵メモリ (9, 10) をキャッシュ対象としないこと、換言すれば内蔵メモリ (9, 10) をノンキャッシュابلエリアにマッピングする事により、どのような場合にも内蔵メモリアクセスをキャッシュヒットと同様に高速アクセスできることを保証する。マイクロコンピュータ内蔵メモリもキャッシュの対象とした場合には、当該内蔵メモリアクセスに際してキャッシュミスを生ずると、キャッシュミスに係るデータをキャッシュメモリに追加するための処理を行わなければならないが、上記手段においてはそのような事態を一切生じない。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LR	レソト	RU	ロシア連邦
AU	オーストラリア	ES	スペイン	LS	レソト	SE	スウェーデン
AZ	アゼルバイジャン	FI	フィンランド	LT	リトアニア	SG	シンガポール
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LU	ルクセンブルグ	SI	スロベニア
BB	バルバドス	GB	イギリス	LV	ラトヴィア	SK	スロバキア
BE	ベルギー	GE	グルジア	MC	モナコ	SN	セネガル
BG	ブルガリア	GR	ギリシャ	MD	モルドバ共和国	SZ	スワジランド
BJ	ベナン	GU	グアテマラ	MG	マダガスカル	TD	チャド
BR	ブラジル	IE	アイルランド	MK	マケドニア共和国	TG	トーゴ
BY	ベラルーシ	IL	イスラエル	ML	マリ	TH	タイ
CA	カナダ	IS	アイスランド	MN	モンゴル	TM	トルクメニスタン
CC	中央アフリカ共和国	IT	イタリア	MR	モーリタニア	TR	トルコ
CG	コンゴ	JP	日本	MW	モザンビーク	TT	トリニダード・トバゴ
CH	スイス	KE	ケニア	MX	メキシコ	UA	ウクライナ
CI	コート・ジボアール	KR	韓国	NE	ニジェール	UG	ウガンダ
CN	中国	KZ	カザフスタン	NL	オランダ	US	アメリカ合衆国
CU	キューバ			NO	ノルウェー	UZ	ウズベキスタン
CZ	チェコ共和国			NZ	ニュージーランド	VN	ベトナム

## 明 細 書

## マイクロコンピュータ

## 5 技術分野

本発明は、中央処理装置と共にメモリなどを内蔵したシングルチップ化されたマイクロコンピュータに係り、特に中央処理装置によるマイクロコンピュータ内外のメモリアクセス動作を高速化する技術に関し、例えば、中央処理装置がRISC (Reduced Instruction Set Computer) アーキテクチャを有するマイクロコンピュータに適用して有効な技術に関する。

## 背景技術

シングルチップマイクロコンピュータは、ROM (Read Only Memory) やRAM (Random Access Memory) がCPU (中央処理装置=Central Processing Unit) と共に単一半導体基板上に集積されているので、一般にその内蔵メモリをCPUがアクセスするのに要する時間は短く、命令やデータフェッチを高速化する上において有利である。特にRISC アーキテクチャを採るCPUを持つシングルチップマイクロコンピュータでは、パイプライン形式で命令を実行していくので、メモリのアクセススピードがそのままデータ処理性能に比例して効いてくるので、内蔵メモリをCPUの動作基準クロック信号の1クロックサイクルでアクセスできる形態を採るものがある。このとき外部メモリアクセスには通常複数クロックサイクルを要する。そのようなシングルチップマイクロコンピュータを製品化したものとしては、例えば、日経BP社発行の「日経エレクトロニクス 1992年11月23日号, no. 568」

第 9 9 頁乃至第 1 1 2 頁に記載のものがある。また、特開平 2 - 1 8 7 8 8 1 号公報には、命令キャッシュメモリと該命令キャッシュメモリに命令がない場合にのみアクセスされる主記憶装置を中央処理装置と共に同一チップに搭載した半導体集積回路が示されている。

- 5       本発明者は中央処理装置と共にキャッシュメモリや内蔵メモリを搭載したシングルチップ化されたマイクロコンピュータによる内外のメモリアクセス動作を高速化することについて検討した。このとき、外部メモリアクセスによるデータ処理性能の低下と、マイクロコンピュータの動作周波数向上に対するデータ処理性能向上の飽和という 2 点に着目した。

- 10       前者の外部メモリアクセスという点については、内蔵メモリアクセスは 1 クロックサイクルで可能であるにもかかわらず、外部メモリアクセスは複数クロックサイクルを要するので、極力内部メモリアクセスを行うようにすることが得策であるが、プログラムサイズが大きく全てのプログラムコードを内蔵 ROM に納めることができない場合は、外部メモリにプログラムを配置しなければならない。このとき、一旦外部メモリのプログラムを実行開始すると、命令フェッチなどに時間がかかり、データ処理性能は極めて低下してしまう。遅い外部メモリを利用する場合にもデータ処理性能を向上させるには、マイクロコンピュータにキャッシュメモリを内蔵させればよい。しかしながらシングルチップマイクロコンピュータにはチップ上に各種周辺機能やメモリ類を搭載する必要があり、あまり大きなサイズのキャッシュメモリを搭載することはできない。小さいサイズのキャッシュメモリではヒット率が低く、データ処理性能の向上はあまり期待できない。特に、マイクロコンピュータ内蔵メモリもキャッシュ対象とする場合、キャッシュメモリのアクセス速度と内蔵メモリのアクセス速度に大きな差がないときには、ヒット率が低
- 15
- 20
- 25

ければ、キャッシュミスに係るデータをキャッシュメモリに追加する処理によって、結局キャッシュメモリ搭載の意義がなくなる場合のあることが明らかにされた。

動作周波数向上に対するデータ処理性能向上の飽和という点に関しては、例えばCPUの動作周波数が20MHzであるときCPUが内蔵EPROMまたは内蔵マスクROMを1クロックサイクルでアクセス可能であったとする。このとき、CPUの動作周波数がさらに向上してくると、大容量ROMやフラッシュメモリなどのように大きなワード線容量やビット線容量などによってアクセスタイムをあまり短縮できない内蔵ROMに対しては、そのアクセスに複数クロックサイクルを要するようになる。そうなると、特にメモリアクセス時間がそのまま性能に比例するRISCアーキテクチャのマイクロコンピュータでは動作周波数を上げててもシステムのデータ処理性能が飽和してしまう。

本発明の目的は、内蔵メモリと共にキャッシュメモリを搭載するシングルチップのマイクロコンピュータにおける双方のメモリの動作をデータ処理性能向上のために最適に制御することにある。

また、本発明の別の目的は、キャッシュメモリを内蔵しない場合にも、マイクロコンピュータの内外に配置されたメモリのデータアクセスを向上させることができるマイクロコンピュータを提供することにある。

本発明のその他の目的は、外部にメモリを拡張したときや内蔵メモリが低速な場合にもデータ処理性能の低下を防ぐことができるマイクロコンピュータを提供することにある。

#### 発明の開示

本発明において、1個の半導体基板に形成されたマイクロコンピュータ(MPU, MPU1)は、中央処理装置(1)と、該中央処理装置に

よってアクセスされる内蔵メモリ（９，１０）と、前記中央処理装置に内部バス（６）で結合されたキャッシュメモリ（ＣＡＣＨＥ）と、前記中央処理装置をマイクロコンピュータの外部アドレス空間とインタフェースさせるインタフェース手段（１１，１２）と、前記外部アドレス空間を前記キャッシュメモリによるキャッシュの対象とし、前記内蔵メモリをキャッシュの非対象に制御する制御手段（２，７２）とを含む。

このように、マイクロコンピュータ（ＭＰＵ，ＭＰＵ１）は、キャッシュメモリ（ＣＡＣＨＥ）と共に内蔵メモリ（９，１０）を同一半導体基板に搭載し、当該内蔵メモリはキャッシュメモリにおけるキャッシュヒットの場合と同様に高速アクセス可能な内蔵メモリとされる。内蔵メモリ（９，１０）をキャッシュ対象としないこと、換言すれば内蔵メモリ（９，１０）をノンキャッシュابلエリアにマッピングする事により、どのような場合にも内蔵メモリアクセスをキャッシュヒットと同様に高速アクセスできることを保証する。すなわち、マイクロコンピュータ内蔵メモリもキャッシュの対象とした場合には、当該内蔵メモリのアクセスに際してキャッシュミスを生ずると、キャッシュミスに係るデータをキャッシュメモリに追加するための処理を行わなければならないが、上記手段においてはそのような事態を一切生じない。これにより、キャッシュメモリ（ＣＡＣＨＥ）自体の記憶容量が小さくキャッシュヒット率が低くても、高速にアクセス可能な内蔵メモリ（９，１０）と組み合わせることで、中央処理装置によるマイクロコンピュータ（ＭＰＵ，ＭＰＵ１）の内外に対する総合的なヒット率を高めることができる。したがって、中央処理装置による動作プログラムの全体的な実行過程におけるメモリアクスの高速化、ひいてはデータ処理性能を全体的に高めることができる。

マイクロコンピュータは一般的に割り込みなどのタスク切替えが頻

繁に発生し、プログラムカウンタの値が大きく変化する場合は多いので、キャッシュメモリ (CACHE) のヒット率が低下する傾向が高い。このとき、内蔵メモリと共にキャッシュメモリを搭載している前記マイクロコンピュータ (MPU, MPU1) において、割り込みベクタと割り込み処理プログラムを内蔵メモリに入れるようにし、当該メモリをキャッシュの対象としないことにより、割り込みが頻出するプログラムでもキャッシュヒットの場合と同様に、割り込み処理プログラムへの遷移を高速化する事ができ、この点においてもデータ処理性能もしくはデータ処理速度を向上させることができる。

- 10 シングルチップ化されたマイクロコンピュータに搭載可能なキャッシュメモリ及びプログラム格納用ROMの容量には限りがあり、それをコスト及びデータ処理性能の両面から最適化するには、前記キャッシュメモリが2のべき乗数のウェイ数 (way) を有し、ROMのデータ記憶容量をR [KB=Kilo-byte] とし、前述のキャッシュメモリのデータ
- 15 記憶容量をC [B=byte] としたとき、前述のキャッシュメモリのウェイ数とキャッシュエントリのデータライン長に応じて定数a、bを、
- 8 way以上 / 4バイトライン長:  $a = 24.01$ 、 $b = 8194$
- 8 way以上 / 8バイトライン長:  $a = 9.00$ 、 $b = 3328$
- 8 way以上 / 16バイトライン長:  $a = 4.00$ 、 $b = 1280$
- 20 8 way以上 / 32バイトライン長:  $a = 1.75$ 、 $b = 512$
- 8 way以上 / 64バイトライン長以上:  $a = 0.75$ 、 $b = 256$
- 4 way / 4バイトライン長:  $a = 25.19$ 、 $b = 8804$
- 4 way / 8バイトライン長:  $a = 10.00$ 、 $b = 3584$
- 4 way / 16バイトライン長:  $a = 5.00$ 、 $b = 1536$
- 25 4 way / 32バイトライン長:  $a = 1.84$ 、 $b = 557$
- 4 way / 64バイトライン長以上:  $a = 0.79$ 、 $b = 276$

- 2way / 4バイトライン長:  $a = 32.41$ ,  $b = 11112$   
 2way / 8バイトライン長:  $a = 11.90$ ,  $b = 4328$   
 2way / 16バイトライン長:  $a = 5.50$ ,  $b = 1792$   
 2way / 32バイトライン長:  $a = 2.03$ ,  $b = 651$   
 5 2way / 64バイトライン長以上:  $a = 0.87$ ,  $b = 316$   
 1way / 4バイトライン長:  $a = 36.06$ ,  $b = 14361$   
 1way / 8バイトライン長:  $a = 18.75$ ,  $b = 6591$   
 1way / 16バイトライン長:  $a = 8.00$ ,  $b = 2816$   
 1way / 32バイトライン長:  $a = 4.00$ ,  $b = 1280$   
 10 1way / 64バイトライン長以上:  $a = 1.48$ ,  $b = 549$   
 と定めたとき、 $C + aR$ が $b$ を越えない関係を満足させるとよい。

- キャッシュメモリのキャッシュヒット又はキャッシュミスの判定に  
 要する一定期間、外部アドレス空間に対するアクセスサイクルの起動を  
 ウェイトさせることにより、キャッシュヒットになるとき、既に起動し  
 15 たバスサイクルを途中で停止させることによって外部メモリのデータ  
 が破壊される事態を防止することができる。しかしながら、そのような  
 ウェイト期間は、キャッシュミスの場合における外部バスサイクル起動  
 を遅らせることになる。一旦キャッシュミスが発生した場合、キャッシ  
 ュミスの状態は複数回に亘って連続するという事情を考慮し、外部メモ  
 20 リアクセスを極力高速化するため、前記インタフェース手段は、外部ア  
 ドレス空間に対するアクセスサイクルの起動を、キャッシュメモリのキ  
 ャッシュヒット又はキャッシュミスの判定に要する一定期間ウェイト  
 し、当該ウェイト動作を、キャッシュヒットの状態がキャッシュミスの  
 状態に変化された次のアクセスサイクルから抑止し、抑止したウェイト  
 25 動作を、キャッシュミスの状態がキャッシュヒットの状態に変化された  
 次のアクセスサイクルから再開する。このとき、当該キャッシュミスの



状態がキャッシュヒットの状態に変化されたとき、前記キャッシュメモリはヒットに係るデータの入出力動作を抑止し、前記インタフェース手段は外部アドレス空間に対するアクセスサイクルを起動する。

5       ダイレクトマップキャッシュメモリやウェイ数の少ないセットアソシエティブ形式のキャッシュメモリの場合には、一旦キャッシュミスするとしばらくその状態が連続する性質が顕著である。このとき、上記のように、キャッシュابلエリアに対するアクセスにおいては前回のキャッシュابلエリアに対するアクセスがキャッシュヒットである場合に  
10       だけ外部バスサイクルの起動にウェイトをかけ、キャッシュابلエリアに対するアクセスにおいて前回のキャッシュابلエリアに対するアクセスがキャッシュミスである場合には前記ウェイトを行わないようにする。これにより、キャッシュミス時のバスサイクルにアドレスヒット判定のための余分なウェイトサイクルが毎回入らないので、キャッシュミス時にけるメモリアクセスの性能低下を防ぐことができる。

15       上記マイクロコンピュータにおいてデータ処理性能を向上させる最適な形態は、前記中央処理装置はRISCアーキテクチャを有し、前記中央処理装置、内蔵メモリ、及びキャッシュメモリは内部バスを共有し、中央処理装置は当該内部バスをその動作基準クロック信号の1クロックサイクルを最高アクセス速度としてアクセスするものである。前記  
20       キャッシュメモリは、中央処理装置によるアクセスの開始から該中央処理装置の動作基準クロック信号の1クロックサイクルの期間を以てキャッシュヒットに係るデータを前記内部バスに出力するものであれば更によい。

25       別のマイクロコンピュータ(MPU2)は、前記キャッシュメモリに代えて、内蔵メモリ(202, 203)よりもアクセス動作の速い高速RAM(201)を採用する。更に、中央処理装置(200)が特定(

C T A R の値) のアクセスを行なったことをトリガとし、中央処理装置からバス権を獲得して前記内蔵メモリ (202, 203) 又は前記外部アドレス空間の特定アドレス (208) から別の特定アドレスまでの内容を高速 R A M (201) に転送し、転送後における中央処理装置のアクセスが前記転送元アドレスであるとき (C S A R  $\leq$  アドレス  $\leq$  C E A R)、当該アクセス対象を高速 R A M に切換え制御する転送制御手段 (205) を採用する。高速 R A M へのデータ転送対象は、内蔵メモリ又は外部メモリの何れか一方に限定したり、或いは双方を対象とすることもできる。

10        このようにマイクロコンピュータ (M P U 2) に内蔵された高速 R A M (201) に事前にデータ若しくはプログラムを転送して利用可能にすることができる。例えば、アクセスタイムが遅い内蔵メモリのプログラムなどのうち、ある部分を予め高速 R A M 内に転送しておいて実行させるようにすることにより、その部分の実行を高速化できる。当然、内蔵メモリに収まりきれずにプログラムが外部メモリにはみ出しても、この外部メモリを内蔵メモリと同様に制御すれば性能低下を防ぐことができる。シングルチップ化されたマイクロコンピュータが対象にする主  
15        なアプリケーションでは、高速性が要求されるルーチンは割り込みサービスの部分など比較的そのアドレス範囲と実行タイミングが限定されており、あまり処理性能が必要でないメインルーチンなどのバックグラ  
20        ンドルーチンを実行中に高速実行が必要な部分をあらかじめ高速 R A M に転送しておくことができる。その結果、プログラム処理全体の性能が向上される。

      更に別のマイクロコンピュータ (M P U 3) は、前記キャッシュメモリに代えて、内蔵メモリ (402, 403) よりもアクセス動作の速い  
25        高速 R A M (401) を採用し、更に、中央処理装置 (400) が内蔵

メモリ(402, 403)又は前記外部アドレス空間(408)をアクセスしたことをトリガとし、中央処理装置によるその内蔵メモリアクセス又は外部アドレス空間のアクセスに並行して当該アクセスデータを高速RAM(401)に転送する制御を所定のアドレス範囲( $CSAR \leq \text{アドレス} \leq CEAR$ )に対して行い、所定のアドレス範囲の全てのアドレスに対する前記データ転送完了後における中央処理装置のアクセスが前記転送元データのアドレスであるとき当該アクセス対象を高速RAMに切換え制御する転送制御手段(405)を採用する。高速RAMへのデータ転送対象は、内蔵メモリ又は外部メモリの何れか一方に限定し、或いは双方を対象とすることもできる。

データ処理性能をあまり必要としないバックグラウンド処理が少ない場合には、高速化したい範囲の情報を予め転送するための時間を割きにくい。このため、上記のように、内蔵メモリの高速化したい範囲を中央処理装置がアクセスしたとき、それに並行して高速RAMへも転送するようにしておけば、その範囲を初めて実行する際は内蔵メモリアクセスタイムに依存する性能しか出ないが、2回目以降の実行は高速RAMのアクセスとなるため高速化される。当然、内蔵メモリに収まりきれずにプログラムが外部メモリにはみ出しても、この外部メモリを内蔵メモリと同様に制御すれば性能低下を防ぐことができる。

その他のマイクロコンピュータ(MPU4)は、前記キャッシュメモリに代えて、内蔵メモリ(602, 603)よりもアクセス動作の速い高速RAM(601)を採用し、更に、内蔵メモリ又は外部メモリ(608)から前記高速RAMへのデータ転送を行うデータ転送制御手段(612)と、前記高速RAMに転送されたデータの転送元アドレス( $SAR \leq \text{アドレス} \leq CEAR$ )に対する中央処理装置のアクセスを前記高速RAMへのアクセスに切換え制御するアクセス切換え制御手段(6

04)とを採用する。高速RAMへのデータ転送対象は、内蔵メモリ又は外部メモリの何れか一方に限定し、或いは双方を対象とすることもできる。

5        そのように、中央処理装置が内蔵メモリのある指定された範囲をアクセスしようとしたときに、無条件に高速RAMをアクセスするように構成すれば、ユーザがプログラムを初期設定する時などに予め、高速RAM内に内蔵メモリ内の高速化したいプログラムやデータを転送しておけば、データ処理性能を向上させることができる。Cコンパイラやアセンブラなどで完成されたプログラムのうち高速化すべきところがわかってい  
10        れば、上記構成にて簡単にデータ処理性能を向上できる。この手段によれば、キャッシュミスによるペナルティや、バックグラウンド処理中の高速化ルーチンの転送がなくなる。また、実行時間が、初回通過時とそれ以降も全く同じになり、タイミング設計がやり易い特長を持つ。当然、内蔵メモリに収まりきれずにプログラムが外部メモリにはみ出し  
15        ても、この外部メモリを内蔵メモリと同様に制御すれば性能低下を防ぐことができる。

#### 図面の簡単な説明

20        第1図は本発明の一実施例に係るシングルチップマイクロコンピュータの一実施例ブロック図である。

      第2図は第1図に示されたマイクロコンピュータに含まれるバスコントローラと外部バスインタフェースの一例ブロック図である。

      第3図は第1図に示されたマイクロコンピュータにおける内蔵ROM有効モードにおけるアドレスマッピング図である。

25        第4図は第1図に示されたマイクロコンピュータにおける内蔵ROM無効モードにおけるアドレスマッピング図である。

第5図はCPUが出力するアドレス信号の説明図である。

第6図はキャッシュメモリの一例ブロック図である。

5 第7図はノンキャッシュブルエリアに対するアクセスの一例としてCPUがRAM又はROMをリードアクセスするときのタイミングチャートである。

第8図はCPUによるキャッシュブルエリアに対するキャッシュヒット時のリードアクセスのタイミングチャートである。

第9図はCPUによるキャッシュブルエリアに対するキャッシュミス時のリードアクセスのタイミングチャートである。

10 第10図はキャッシュミス時に制御信号BECNOPがネゲートされる場合のタイミングチャートである。

第11図はキャッシュヒット時に制御信号BECNOPがネゲートされる場合のタイミングチャートである。

15 第12図は複数のバスアクセスサイクルにおけるキャッシュヒット時とキャッシュミス時の状態を示す説明図である。

第13図はキャッシュメモリを内蔵RAMと兼用する場合の構成説明図である。

20 第14図はキャッシュメモリを内蔵RAMと兼用する場合におけるアドレス信号とアドレスアレイのキャッシュタグアドレスとの説明図である。

第15図は本発明の別の実施例に係るシングルチップマイクロコンピュータのブロック図である。

第16図は第15図に示されるマイクロコンピュータにおけるバスコントローラと外部バスインタフェースの一例ブロック図である。

25 第17図は内蔵メモリにダイナミックなアクセス比率 $r$ 、外部メモリアクセス時におけるキャッシュメモリのヒット率 $h$ 及び総合ヒット率

Hの関係を示す説明図である。

第18図は内蔵メモリにダイナミックなアクセス比率 $r$ 、外部メモリアクセス時におけるキャッシュメモリのヒット率 $h$ 及び総合ヒット率 $H$ の関係を示す別の説明図である。

5 第19図は外部アクセスクロックサイクル数 $M=3$ のときにおける平均アクセスクロックサイクル数 $S_a$ の説明図である。

第20図は外部アクセスクロックサイクル数 $M=3$ のときにおける平均アクセスクロックサイクル数 $S_a$ の別の説明図である。

10 第21図は外部アクセスクロックサイクル数 $M=4$ のときにおける平均アクセスクロックサイクル数 $S_a$ の説明図である。

第22図は外部アクセスクロックサイクル数 $M=4$ のときにおける平均アクセスクロックサイクル数 $S_a$ の別の説明図である。

第23図はキャッシュの構成(way数、ライン長、容量)に対するミス率( $1-h$ )を示す説明図である。

15 第24図は第23図に示される値から総合ヒット率 $H=r+h-rh$ が0.9になる $r$ の値を算出して得られた説明図である。

第25図は $PRG=512KB$ としROM容量 $R$ を計算して得られた説明図である。

20 第26図は第27図～第30図に示される内蔵ROM容量とキャッシュメモリ容量との関係を式 $C+aR=b$ で近似したときのキャッシュメモリの構成に対応する定数 $a$ 、 $b$ の説明図である。

第27図は第25図に示される結果に基づいてキャッシュ容量 $C$ と内蔵ROM容量 $R$ の関係をフルアソシアティブ(full)キャッシュメモリに関して得た説明図である。

25 第28図は第25図に示される結果に基づいてキャッシュ容量 $C$ と内蔵ROM容量 $R$ との関係を4ウェイセットアソシアティブ(4way)キ

キャッシュメモリに関して得た説明図である。

第29図は第25図に示される結果に基づいてキャッシュ容量Cと内蔵ROM容量Rとの関係を2ウェイセットアソシアティブ(2way)キャッシュメモリに関して得た説明図である。

- 5 第30図は第25図に示される結果に基づいてキャッシュ容量Cと内蔵ROM容量Rの関係をダイレクトマップ(direct)キャッシュメモリに関して得た説明図である。

- 10 第31図は高速RAMに事前にデータを転送して全体としてのメモリアクセスの高速化を図ったマイクロコンピュータの一実施例ブロック図である。

第32図は第31図に示されるマイクロコンピュータに含まれるRAM転送コントローラのブロック図である。

第33図はアドレス変換の説明図である。

第34図は高速RAM及びアドレス変換器のブロック図である。

- 15 第35図は高速RAMに同時にデータを転送してアクセスの高速化を図ったマイクロコンピュータの一実施例ブロック図である。

第36図は第35図に示されるマイクロコンピュータに含まれる高速RAMのブロック図である。

第37図はRAM転送コントローラのブロック図である。

- 20 第38図は高速RAMへの並列ライトタイミングの説明図である。

第39図はDMACなどによって低速メモリの情報をあらかじめ高速RAMに転送しておき当該低速メモリに対するアクセスアドレスを高速RAMのアドレスに置き換えてメモリアクセスの高速化を図ったマイクロコンピュータの一実施例ブロック図である。

- 25 第40図は第39図に示されるマイクロコンピュータに含まれるバスコントローラの一例ブロック図である。

第41図は高速RAM及びアドレス演算器のブロック図である。

発明を実施するための最良の形態

5 本発明の詳細な内容は、《1》～《5》の項目に分けて順次説明されている。

《1. キャッシュメモリ内蔵シングルチップマイクロコンピュータ》

第1図には本発明の一実施例に係るシングルチップマイクロコンピュータの一実施例が示される。本実施例のシングルチップマイクロコンピュータ（単にマイクロコンピュータとも記す）MPUは、ROM（リ  
10 ード・オンリ・メモリ）9及びRAM（ランダム・アクセス・メモリ）10に加えてキャッシュメモリCACHEを一つの半導体基板に搭載し、ROM9及びRAM10はキャッシュメモリCACHEによるキャッシュの対象とはされず、CPU（中央処理装置）1が内蔵ROM9又はRAM10をアクセスする場合にはキャッシュメモリCACHEの  
15 アクセス動作を利用せずに直接内蔵ROM9又はRAM10がリード／ライトされる。

前記マイクロコンピュータMPUは、CPU1、キャッシュメモリCACHE、CPU1の動作プログラム又はデータが格納されるROM9、CPU1の作業領域若しくはデータの一時記憶領域とされるRAM  
20 10、乗算器（MULT）5、バスコントローラ7、周辺回路11、外部バスインタフェース12等を含み、単結晶シリコンのような1個の半導体基板に形成される。外部バスインタフェース12には外部バス14を介して外部メモリ13等が接続される。

本実施例のマイクロコンピュータMPUは、特に制限されないが、RISCアーキテクチャを有し、CPU1は、1命令あたりCPU1の動作  
25 基準クロック信号における1クロックサイクルで命令を実行し、バス



アクセスの基本サイクル数を1クロックサイクルとするように、パイプライン動作によって命令フェッチ、命令デコード、命令実行、メモリアクセスなどのパイプラインステージを実行していく。CPU 1が接続される内部バス (IBUS) 6は、1クロックサイクルを最小動作周期とする高速内部バスであり、内部アドレスバス IAB、内部データバス IDB、内部制御バス ICBから成る。当該内部バス 6には前記キャッシュメモリ CACHE、ROM 9、RAM 10、乗算命令実行用の乗算器 (MULT) 5、及びバスコントローラ 7が接続される。バスコントローラ 7は、内部バス 6の制御及び周辺回路 11のアクセス制御などを行う。

第2図にはバスコントローラ 7と外部バスインタフェース 12の一例ブロック図が示される。バスコントローラ 7はバッファ 71と制御論理回路 72とに大別された回路ブロックを含む。外部バスインタフェース 12はバッファ 120とタイミング生成回路 121とに大別された回路ブロックを有する。バッファ 71は内部バス 6を構成する内部データバスやアドレスバスなどに含まれる所定の信号を外部バスインタフェース 12と周辺回路 11に供給する。制御論理回路 72は内部バス 6から供給されるアドレス信号の上位側ビットに基づいてアクセス対象エリアの判定を行い、また内部バス 6から供給されるバスコマンドなどを受け取ってリード/ライトやアクセスデータ幅等のアクセスの種別を判定する。それらの判定結果に従って内蔵ROM 9の選択信号MSROM、RAM 10の選択信号MSRAM、内蔵回路に対するリード/ライト信号MRW等を生成し、また、外部アクセスのためのチップ選択信号CS0～CS3、リード信号RD、ライト信号WR、DRAM (ダイナミックRAM)アクセスのためのロウアドレスストロープ信号RAS、カラムアドレスストロープ信号CAS等をタイミング生成回路 121

から出力させるための制御信号などを出力する。外部バスアクセスのためのデータ入出力やアドレス信号の出力タイミングは、タイミング生成回路121が制御論理回路72からの制御信号に基づいてバッファ120を制御する事によって行う。

- 5        また、制御論理回路72にはキャッシュメモリC A C H Eにおけるキャッシュヒット／ミスがヒット信号109にて通知され、更に、制御信号B E C N O Pにて外部バスインタフェース12を介する外部バスアクセスの開始タイミング若しくは外部バスアクセス開始までのウェイトが通知される。そして制御論理回路72は、バスアクセス可能な状態を制御信号B U S R D YにてC P U 1に通知する。制御信号B U S R D YはC P U 1によるバスアクセスの区切りを規定することになる。
- 10

- 第3図には本実施例に係るマイクロコンピュータM P Uにおける内蔵R O M有効モードにおけるアドレスマッピングの一例が示され、第4図には内蔵R O M無効モードにおけるアドレスマッピングの一例が示される。
- 15

- 本実施例のマイクロコンピュータM P Uは、内蔵R O M 9を有効とする内蔵R O M有効モードとそれを無効とする内蔵R O M無効モードを含み、それらの動作モードは図示しないモード端子の設定状態によって決定される。本実施例においてキャッシュメモリC A C H Eによるキャッシュ対象空間は、第3図及び第4図におけるC S 0～C S 3空間及びD R A M空間とされ、R O M 9及びR A M 10はキャッシュの対象とはされない。C P U 1が管理するアドレス信号は第5図に示されるように32ビット(A 3 1～A 0)とされ、A 3 1～A 2 4は前記アドレスマップに示される空間の選択に利用され、A 2 3, A 2 2はC S空間におけるチップ選択に利用される。外部バスインタフェース12を介して出力されるアドレス信号はA 2 1～A 0の22ビットとされる。第2図に
- 20
- 25

示される前記制御論理回路72は動作モードに応じて空間選択及びCS空間選択のためのアドレスデコード論理721を供え、当該アドレスデコード論理721に従って前記選択信号MSROM,MSRAMを生成すると共に、CS0～CS3、RAS、CASをタイミング制御回路121から出力させるための制御信号を生成する。外部バスアクセスに際してのアクセスサイクル数は夫々のCS0～CS3空間、DRAM空間毎にコントロールレジスタ720に設定されるウェイトステート数に従って制御論理回路72がタイミング制御回路121に通知する。尚、空間選択やCS空間選択のために実際にはA22よりも下位側のアドレスビットもデコード対象とされている。

第6図にはキャッシュメモリCACHEの一例ブロック図が示される。キャッシュメモリCACHEはアドレスアレイ(AA)3、データアレイ(DA)4、コンパレータ20、及びキャッシュコントローラ(CCONT)2などを備える。本実施例において、キャッシュメモリCACHEによるキャッシュ対象は命令のみ、データのみ、命令とデータの双方の、何れであってもよい。キャッシュメモリCACHEは、例えば一つのエントリを構成する1キャッシュラインの情報が外部記憶装置のどの位置(アドレス)に対応しているかを示す実効アドレス(仮想アドレスまたは物理アドレス)を記憶するキャッシュタグアドレス104、その実効アドレスを先頭とした連続する複数ワードの情報を記憶するデータライン106、そしてそのキャッシュラインに記憶している情報が有効であるかを示す有効ビット(V)105を備える。アドレスアレイ3はキャッシュタグアドレス104と有効ビット105を有し、データアレイ4はデータライン106を有する。尚、必要に応じてキャッシュメモリの内容が更新され外部大容量記憶装置の内容と異なることを示すダーティビットなどを設ける場合もある。これら以外にメモリ空間

の種類を表わすフィールドが追加される場合もある。

- 中央処理装置CPU 1から内部アドレスバスIABに供給されるアドレス信号100はタグアドレス101、エントリアドレス102、及びライン内バイトアドレス103とみなされる。ライン内バイトアドレス103はデータライン4に含まれるバイトデータを選択するための情報とされる。エントリアドレス102はデコーダ110にてデコードされ、アドレスアレイ3及びデータアレイ4からキャッシュラインを選択（インデックス）するために利用される。例えば128のキャッシュラインが存在する場合にはエントリアドレスは7ビットとされる。インデックスされたキャッシュラインのキャッシュタグアドレス104はコンパレータ20にてタグアドレス101と比較される。その比較結果と前記有効ビット105はキャッシュコントローラ2に供給される。

- キャッシュコントローラ2はコンパレータ20による比較結果や有効ビット105を参照し、例えば、インデックスされたキャッシュラインが有効であって、当該キャッシュラインのキャッシュタグアドレス104がタグアドレス101に一致する場合、キャッシュヒット信号109にてバスコントローラ7にキャッシュヒットを通知する。これと共に、インデックスされたキャッシュラインのデータライン106からライン内バイトアドレス103にて所要のデータが選択されて内部データバスIDBへ読み出され、或いはキャッシュラインのデータライン106に対してライン内バイトアドレス103にて選択される位置に内部バスIDBのデータが書き込まれる。40はインデックスされたデータラインからライン内バイトアドレス103にてデータを選択して内部データバスIDBに出力するデータ出力回路、41はインデックスされたキャッシュラインの所定位置をライン内バイトアドレス103にて選択して内部データバスIDBからの書込みデータを供給するデータ

入力回路である。

- 一方、インデックスされたキャッシュラインが無効である場合、又は、当該キャッシュラインのキャッシュタグ104がタグアドレス101に一致しない場合には、キャッシュヒット信号109にてバスコントローラ7にキャッシュミスが通知され、これによってバスコントローラ7は、そのときのアクセスアドレスに應ずるデータを含む1データライン分の情報を外部メモリ13から読み込む制御を行い、キャッシュコントローラ2はそれによって読み込まれたデータによってデータライン106の内容を置き換える（ラインフィル）。置き換え対象とされるキャッシュラインは公知のLRU(Least Recent Use)等の論理に従って決定することができる。データラインの置き換えに際しては、それに対応されるキャッシュアドレスタグ104が当該キャッシュラインに書き込まれ、且つ有効ビット105がセットされる。30はキャッシュタグアドレス104の入力ゲート、31はキャッシュタグアドレス104の出力ゲート、1050は有効ビット105の入力ゲート、1051は有効ビット105の出力ゲートである。前記データ出力回路40、データ入力回路41、出力ゲート31、1051、及び入力ゲート30、1050の動作は、インデックス動作、ラインフィル動作、CPU1によるライトアクセスかによってキャッシュコントローラ2が制御する。
- 第6図のアドレスアレイ3及びデータアレイ4は、ウェイ数が1のダイレクトマップ方式、ウェイ数が2の(2-way)セットアソシアティブ又は4個(4-way)のセットアソシアティブ形式などとされる場合がある。ウェイ数を増やせば、エントリアドレスでインデックスされるキャッシュラインの数が増えるのでキャッシュヒット率が増す。ウェイ数を増やす場合にはアドレスアレイ3とデータアレイ4もその数分だけ用意し、夫々のウェイにエントリアドレス102が共通に供

給され、各ウェイでインデックスされたキャッシュタグアドレスは夫々のウェイ毎に設けられたコンパレータ 20 にてタグアドレスと比較される。何れか一つのコンパレータ 20 による比較結果が一致されてキャッシュヒットになれば、当該一致に係るウェイのデータアレイがリード／ライトの対象とされる。ラインフィルも何れか一つのウェイを対象として行われる。

CPU 1 によるアクセスアドレスエリアがキャッシュメモリ CACHE によるキャッシュ対象エリアであるか否かの判定は、特に制限されないが、キャッシュコントローラ 2 のキャッシュ制御回路 21 が行う。本実施例に従えば、キャッシュ対象空間は CS 0 ～ CS 3 空間と DRAM 空間とされ、それ以外の空間はキャッシュ非対象空間（ノンキャッシュエリア）とされる。これに応じ、前記キャッシュ制御回路 21 は、内蔵 ROM 有効モードにおいてキャッシュ対象空間判定のために、H' 00200000 ～ H' 01FFFFFF のアクセスを判定する回路と、内蔵 ROM 無効モードにおいてキャッシュ対象空間判定のために、H' 00000000 ～ H' 01FFFFFF のアクセスを判定する回路とを有し、CPU 1 によるアクセスアドレスがノンキャッシュエリアか否かを判定する。尚、H' 00200000 ～ H' 01FFFFFF のアクセスを判定する回路は、特に制限されないが、アクセスアドレスの最上位ビットから 11 ビットが全ビット 0 でないことを検出する回路の出力とアクセスアドレスの最上位ビットから 7 ビットが全ビット 0 であることを検出する回路の出力との論理和信号にてそれを判定できる。同様に、H' 00000000 ～ H' 01FFFFFF のアクセスを判定する回路は、アクセスアドレスの最上位ビットから 7 ビットが全ビット 0 であることを検出する回路の出力にてそれを判定することができる。

制御信号発生回路 2 3 には、キャッシュابل制御回路 2 1 から判定結果信号が供給される。制御信号発生回路 2 3 には、キャッシュابل制御回路 2 1 から、CPU 1 によるアクセスアドレスエリアがキャッシュメモリ CACHE によるキャッシュ対象エリアでないことを示す判定結果信号が供給されると、制御信号発生回路 2 3 はコンパレータ 2 0、入力ゲート 3 0、1 0 5 0、出力ゲート 3 1、1 0 5 1、データ出力回路 4 0、データ入力回路 4 1、デコーダ 1 1 0 の各々に、その動作を止めるための動作停止信号を供給する。このとき、キャッシュメモリ CACHE は非動作状態となる。また、制御回路 2 3 は、キャッシュابل制御回路 2 1 から CPU 1 によるアクセスアドレスエリアがキャッシュメモリ CACHE によるキャッシュ対象エリアであることを示す判定結果信号が供給されると、制御信号発生回路 2 3 は、コンパレータ 2 0、入力ゲート 3 0、1 0 5 0、出力ゲート 3 1、1 0 5 1、データ出力回路 4 0、データ入力回路 4 1、デコーダ 1 1 0 の各々に、その動作を開始させるための動作開始信号を供給する。このときキャッシュメモリ CACHE は動作状態となる。

前記ノンキャッシュابلエリアに対するアクセスに対して、キャッシュコントローラ 2 は、少なくとも、前記内部バス 6 に対する読出し及び書込みのキャッシュ動作を行わず、キャッシュヒット信号 1 0 9 をキャッシュミスの状態に維持する。キャッシュابلエリアに対するアクセスに対しては、前記内部バス 6 に対する読出し及び書込みのキャッシュ動作を行い、ヒット信号 1 0 9 はキャッシュヒット／ミスの判定結果に応じて変化される。そして、キャッシュابلエリアに対するアクセスにおいてキャッシュコントローラ 2 は、CPU 1 のバスアクセスから 1 クロックサイクルの期間前記制御信号 BE CNOP をイネーブルレベルに変化させてバスコントローラ 7 に与えるか否かの制御を行う。

上記キャッシュメモリ C A C H E においてキャッシュابلエリアのアクセスに対応し、キャッシュラインをインデックスしてキャッシュタグアドレス 1 0 4 とアドレスタグ 1 0 1 を比較してキャッシュミス又はヒットを判定するまでには、1クロックサイクル費やされる。この間にバスコントローラ 7 が外部アクセスを開始してしまうと、それによってアクセスされる外部メモリ 1 3 のデータが破壊される虞がある。バスコントローラ 7 は、C P U 1 のバスアクセスから 1 クロックサイクルの期間、前記制御信号 B E C N O P がイネーブルレベルにされることにより、外部バスアクセス動作の開始を待つ。その間にキャッシュヒット信号 1 0 9 にてキャッシュヒットがバスコントローラ 7 に通知されれば、バスコントローラ 7 は外部バスアクセスを行わず、次のバスアクセス動作が可能な状態をバスレディー信号 B U S R D Y をアサートして C P U 1 に通知する。

第 7 図にはノンキャッシュابلエリアに対するアクセスの一例として、C P U 1 が R A M 1 0 又は R O M 9 をリードアクセスするときのタイミングチャートが示される。 $\phi 1$ 、 $\phi 2$  は C P U 1 の動作基準クロック信号であり、ノンオーバーラップ 2 相のクロック信号である。バスコマンド B C M D は、バスアクセス幅やリード／ライトを指示する情報を含み、C P U 1 によって内部コントロールバス I C B に出力される。出力タイミングは内部アドレスバス I A B へのアドレス出力に同期される。制御信号 B U S R D Y にて通知されるバスの区切りに同期して C P U 1 はアドレス信号を内部アドレスバス I A B に供給する。キャッシュコントローラ 2 がそのアドレス信号にて R A M 1 0 又は R O M 9 に対するアクセスであること、即ちノンキャッシュابلエリアに対するアクセスであることを、前記キャッシュابل制御回路 2 1 で判定すると、アドレスアレイ 3 及びデータアレイ 4 の動作が抑止されてキャッシュヒッ



- ト信号109がキャッシュミスの状態に維持され、且つ制御信号BECNOPがネゲート状態にされる。これによってバスコントローラ7はそのときのアクセスアドレス信号をデコードして、ROM選択信号MSROM又はRAM選択信号MSRAMをアサートし、これによってクロック信号φ1の1クロックサイクルの期間に内部データバスIDBにROM又はRAMからのリードデータが与えられる。バスコントローラ7はクロック信号φ1の次の立ち上がりエッジに同期してバスレディー信号BUSRDYをアサートし、CPU1に次のバスアクセスが可能なことを通知する。
- 10 第8図にはCPU1によるキャッシュابلエリアに対するキャッシュヒット時のリードアクセスのタイミングチャートが示される。キャッシュابلエリアに対するアクセスであるから、キャッシュコントローラ2のキャッシュابل制御回路21はCPU1によるバスアクセスから1クロックサイクルの期間に制御信号BECNOPをアサートして、バスコントローラ7による外部アクセスの開始をその期間抑止させる。その間にキャッシュメモリCACHEではインデックス動作にてデータアレイ4とアドレスアレイ3がリードされ、そのリードデータに対してキャッシュミス/ヒットの判定が行われる。この例の場合にはキャッシュヒットが判定され、ヒットに係るリードデータが内部データバスIDBに供給され、且つ、キャッシュヒット信号109にてキャッシュヒットがバスコントローラ7に通知されることにより、バスコントローラ7はそのときのアクセスに従った外部バスアクセスを行わずにバスレディー信号BUSRDYをアサートして、次のバスアクセスが可能な状態をCPU1に通知する。
- 25 第9図にはCPU1によるキャッシュابلエリアに対するキャッシュミス時のリードアクセスのタイミングチャートが示される。キャッシュ

ュブルエリアに対するアクセスであるから、キャッシュコントローラ 2  
のキャッシュ制御回路 21 は CPU 1 によるバスアクセスから 1  
クロックサイクルの期間に制御信号 BE CNOP をアサートしてバス  
コントローラ 7 による外部アクセスの開始をその期間抑止させる。その  
5 間にキャッシュメモリ CACHE ではインデックス動作にてデータア  
レイ 4 とアドレスレイ 3 がリードされ、そのリードデータに対してキ  
ャッシュミス／ヒットの判定が行われる。この例の場合にはキャッシュ  
ミスが判定され、キャッシュヒット信号 109 にてキャッシュミスがバ  
スコントローラ 7 に通知されると、バスコントローラ 7 はそのときのア  
10 クセスアドレスに従った外部バスアクセスを起動する。図の例は CS 空  
間がアクセスされる場合を示している。図に示される /CS<sub>n</sub> は第 2 図  
の CS<sub>0</sub> ~ CS<sub>3</sub> の何れかを意味する。/RD は第 2 図の RD に対応さ  
れる。外部バスアクセスは T2 ステートから開始され、T3 ステートで  
外部メモリ 13 からのリードデータが内部バス IDB に読込まれる。キ  
15 ャッシュメモリ CACHE においては、T2 ステートで当該キャッシュ  
ミスに係るタグアドレスがキャッシュタグアドレスとして該当するキ  
ャッシュラインに書き込まれ、また、T3 ステートにおいて CPU 1 が  
リードデータを取り込むのに並行して当該リードデータが該当するキ  
ャッシュラインに書き込まれる。同図から明らかなように、外部メモリ  
20 13 を実際にアクセスする期間は T2, T3 の 2 クロックサイクルであ  
るが、制御信号 BE CNOP にて外部バスアクセスの起動が 1 クロック  
サイクルだけウェイトされているので、CPU 1 のリードアクセスには  
全部で T1 ~ T3 の 3 クロックサイクルを要する。

第 9 図から明らかなように、内部アドレスバス IAB の値が確定して  
25 からヒット信号 109 の状態が確定するまでには 1 クロックサイクル  
かかるので、その間にチップ選択信号 CS やリード信号 RD をアサート

し外部バスサイクルを起動してからキャッシュヒットの状態が確定すると、一旦起動した外部バスサイクルの途中でチップ選択信号CSやリード信号RDをネゲートしなければならず、これによって外部メモリ13の内容が破壊する虞がある。そのため、キャッシュابلエリアに対するアクセスでは、制御信号BECNOPを外部バスサイクルの起動前にアサートして、チップ選択信号CSやリード信号RDのアサートタイミングを遅らせるように外部バスサイクルの起動にウェイトをかける。この時、キャッシュミスしていることが判定されれば、外部バスサイクルを起動して外部メモリ13をアクセスし、キャッシュミスに係るキャッシュタグアドレスの書換えとデータアレイ4のラインフィルが行われる。仮に外部メモリ13がノンキャッシュابلエリアとすると、制御信号BECNOPはアサートされず、CPU1は2クロックサイクルで所望のデータを外部メモリ13から読込むことができる。すなわち、ノンキャッシュابلエリアとして外部メモリ13をアクセスした方が、アクセスに要する時間は短くて済むことになる。

そこで、本実施例においては、キャッシュメモリの性質上、一旦キャッシュミスを生ずると、キャッシュミスの状態は比較的長く続くことに着目し、キャッシュابلエリアに対するアクセスにおいては前回のキャッシュابلエリアに対するアクセスがキャッシュヒットである場合にだけ前記制御信号BECNOPによるウェイトを行い、キャッシュابلエリアに対するアクセスにおいて前回のキャッシュابلエリアに対するアクセスがキャッシュミスである場合には前記制御信号BECNOPによるウェイトを行わないようにする。キャッシュابلエリアに対するキャッシュミスに続くキャッシュヒット時は、制御信号BECNOPによるウェイトが行われていないので、キャッシュヒットの状態はバスローラ7には与えず、キャッシュミスと同様の動作とする。

例えば上述の制御を行うために、ヒット信号生成回路 22 は、前回のキャッシュヒット／ミスの判定結果を保持するフラグ F L G を有する。ヒット信号生成回路 22 はフラグ F L G から把握される前回のキャッシュミス／ヒットの判定結果と今回のキャッシュミス／ヒットの判定結果とを比較し、前回キャッシュミスで今回キャッシュヒットである場合にはバスコントローラ 7 に供給されるキャッシュヒット信号 109 をキャッシュミスを指示するレベルに維持し、また、インデックスされたデータの内部バス I D B への出力を抑制させる。また、キャッシュャブル制御回路 21 はフラグ F L G から前回のキャッシュミス／ヒットの判定結果を把握し、それがキャッシュミスを示している場合には、キャッシュャブルエリアに対するアクセスを検出しても制御信号 B E C N O P をネゲート状態に維持する。これにより、外部メモリをキャッシュ対象とするとき、キャッシュヒットの次に生ずるキャッシュミスにおいては(あるバスサイクルにおいてそれまでヒットし続け次のバスサイクルでミスヒットする時)、そのミスヒットした際に生じるバスサイクルは、外部メモリ 13 をキャッシュ対象としない場合すなわちキャッシュ無効時よりも、ヒット／ミス判定のためのアドレス比較動作等によってアクセスサイクル数が延びるので (B E C N O P によるウェイト)、その最初のミスヒットサイクルだけは延びたサイクルにしてキャッシュフィルしても、それ以降のバスサイクルではキャッシュ無効時と同じサイクル数のバスサイクルで動作してキャッシュフィル動作を行うことができる。キャッシュミスが連続した後に、キャッシュヒットが生じる場合は、最初のヒットサイクルではキャッシュ無効時のバスサイクルと同様に動作されるが、それに続くキャッシュヒットに係るバスサイクルでは、キャッシュヒット時の高速なメモリアクセスが行われる。

第 10 図にはキャッシュミス時に制御信号 B E C N O P がネゲート

- される場合（キャッシュミスが連続している状態）のタイミングチャートが示される。第9図と比較すれば明らかなように、制御信号BECNOPがネゲートされているため、外部バスアクセスの起動が1クロックサイクル分だけ早くされる。第11図にはキャッシュヒット時に制御信号BECNOPがネゲートされる場合（キャッシュミスに続いてキャッシュヒットとされる場合）のタイミングチャートが示される。この場合には実際にはキャッシュヒットであるが既にバスサイクルが起動されているため、キャッシュヒット信号109はネゲート状態にされ、且つデータアレイ4からの読み出しデータは内部データバスIDBへの供給が抑止される。そして実際にはキャッシュヒットであるからラインファイルも行われぬ。CPU1がデータを取り込むまでには、第8図に比べて1クロックサイクルだけアクセス動作が長くされる。第12図には複数のバスアクセスサイクルにおけるキャッシュヒット時とキャッシュミス時の状態が示される。第12図におけるAは第8図の状態、Bは第9図の状態、Cは第10図の状態、Dは第11図の状態に対応される。第12図から明らかなように、キャッシュヒットからキャッシュミスに切り替わったときは第2回目のキャッシュミスから外部バスアクセスのクロックサイクル数が1クロックサイクル分短くされ、キャッシュミスからキャッシュヒットに切り替わったときは切り替わり目の第1回目の外部バスアクセスのクロックサイクル数だけが1クロックサイクル分長くされる。したがって、キャッシュアブルエリアに対するキャッシュミスのアクセスが3回以上続けば、全体としてのバスアクセスのクロックサイクル数はキャッシュヒット信号109と制御信号BECNOPを本実施例のように制御する方が短くされる。
- 第13図にはキャッシュメモリを内蔵RAMと兼用する場合の構成例が示される。例えば第3図及び第4図で説明したように内蔵RAM1

0に4KBのアドレスエリアが割り当てられるとき、当該内蔵RAM10は1モジュールあたり1KBの容量でデータバス幅32ビットとされ、全部で4モジュールにて4KBのRAMが構成されているものとする。このようなRAM10を内蔵するマイクロコンピュータMPUにおいてキャッシュメモリCACHEがデータアレイに1KBの記憶容量を有する場合、そのキャッシュメモリCACHEを、内蔵RAMを流用して構成することができる。その内、1モジュール1KBのRAMをキャッシュメモリCACHEのデータアレイ4とすると、データライン長を4バイトとして256ラインを格納できる。また別の1モジュール1KBのRAMをキャッシュのアレイ3に使い、256エントリ分のキャッシュタグアドレス104を格納する。このとき32ビットのアドレス信号は、第14図の(A)に示されるようにA1, A0はライン内バイトアドレス、A9~A2はエントリアドレス、A24~A10はタグアドレスとされる。これに応じてアドレスアレイ3のキャッシュタグアドレス104は第14図の(B)に示されるようにD24~D10に割り当てることができる。アドレスアレイ3には空きビットが存在するので、その領域を活用するために、この例では前記有効ビット(V)105をアドレスアレイの最下位ビットD0に割り当ててある。但しその場合、キャッシュエントリを無効化するにはキャッシュライン毎に有効ビット105をリセット状態にしなければならず、全てのキャッシュラインを無効化してキャッシュメモリCACHEを初期化するには256回のアクセスを要する。キャッシュラインの無効化を効率的に行えるようにするには、有効ビット105をRAM以外のキャッシュコントローラ2の様な論理回路に格納することができる。例えば32バイト(32×8ビット)のレジスタをキャッシュコントローラ2に用意し、256本のキャッシュラインとの対応を採って当該レジスタに有効ビ

ットを格納する。

第13図において、アドレスアレイ3に対するインデックスにはアドレス信号の所定8ビット(A9～A2)が利用されるが、アドレスアレイ3を普通のRAMとして利用するときは、A9～A0の10ビットが  
5 アドレッシングに利用される。ラッチ23はタグアドレスを保持し、保持されたアドレスタグは、キャッシュヒット／ミス判定のためにコンパレータ20の一方の入力に供給され、また、ラインフィルに際してアドレスアレイ3に供給される。コンパレータ20の他方の入力にはアドレスアレイ3にてインデックスされたラインのキャッシュアドレスタグが  
10 供給される。アライナ26は、内部データバスIDBとデータアレイ4のデータ入出力端子との対応を決める回路であり、キャッシュコントローラ2にて制御される。入力回路24と出力回路25はアドレスアレイのデータ入出力端子とデータバスを選択的に接続する回路であり、アドレスアレイ3を普通のRAMとして利用する場合のデータ入出力経路  
15 を構成する。第13図において、アドレスアレイ3とデータアレイ4を普通のRAMとして(RAM10の一部として)利用するか否かは、キャッシュメモリCACHEの有効／無効に連動させることができる。そのような有効／無効の制御はマイクロコンピュータの動作モードによって決定することができる。

20 第15図及び第16図に示されるマイクロコンピュータMPU1はバスコントローラの配置の点で第1図及び第2図の実施例と相違される。第15図及び第16図においてバスコントローラ7及び周辺回路11は内部バス6を共有している。その他の点は第1図及び第2図の実施例と同じであるので詳細な説明は省略する。

25 次にキャッシュメモリと共に高速アクセスされる内蔵メモリを搭載したマイクロコンピュータにおける総合的なヒット率について説明す

る。ダイナミックな内蔵メモリアクセス比率（全メモリアクセス中の内蔵メモリアクセスの割合）を  $r$ 、外部メモリアクセス時のキャッシュメモリのヒット率を  $h$  とするとき、全メモリアクセスに対する内蔵メモリアクセス及びキャッシュヒットとされる外部メモリアクセスの割合である総合的なヒット率、すなわち総合ヒット率  $H$  を考えた場合、内蔵メモリアクセスとキャッシュヒットにされる外部メモリアクセスとは同時に起こらないので、当該総合ヒット率  $H$  は、 $H = r + h - r h$  となる。

また、外部メモリをアクセスするときのキャッシュヒットとキャッシュミスを検討したときの平均アクセスクロックサイクル数（外部平均アクセスクロックサイクル数） $S_o$  は、 $S_o = h \times 1 + (1 - h) M$  とされる。 $M$  は外部メモリに対するアクセスクロックサイクル数であり、本実施例においてキャッシュメモリ  $CACHE$  に対するアクセスクロックサイクル数は 1 とされる。そして、マイクロコンピュータ  $MPU$  ( $MPU1$ ) の内部メモリ (9, 10) 及び外部メモリ (13) 全体に対するアクセスクロックサイクル数の平均（平均アクセスクロックサイクル数） $S_a$  は、

$$\begin{aligned} S_a &= r \times 1 + (1 - r) \times S_o \\ &= r \times 1 + (1 - r) \times \{h \times 1 + (1 - h) M\} \\ &= (r + h - r h) \times 1 + \{1 - (r + h - r h)\} M \\ &= H \times 1 + (1 - H) M \end{aligned}$$

とされる。

第 17 図及び第 18 図には前記  $r$ 、 $h$ 、 $H$  の関係が示される。第 17 図は第 18 図の内容に基づいて描かれている。第 17 図からも明らかに、 $H = r + h - r h$  で表される総合ヒット率  $H$  を考えれば、 $r$  や  $h$  の単独のヒット率よりも総合ヒット率  $H$  の方が高くなっている。これ



は、キャッシュメモリ C A C H E 自体の容量が小さくキャッシュヒット率が低くても、高速にアクセス可能な内蔵メモリ ( 9 , 1 0 ) と組み合わせることで、総合的なヒット率を高めることができるということを意味するものである。

- 5       第 1 9 図及び第 2 0 図には外部アクセスクロックサイクル数  $M=3$  のときにおける平均アクセスクロックサイクル数  $S_a$  (パラメータは  $h$ ) を示し、第 2 1 図及び第 2 2 図には外部アクセスクロックサイクル数  $M=4$  のときにおける平均アクセスクロックサイクル数  $S_a$  (パラメータは  $h$ ) を示す。第 1 9 図は第 2 0 図の内容に基づいて描かれ、第  
10   2 1 図は第 2 2 図の内容に基づいて描かれている。

上記実施例によれば以下の作用効果を得る。

- 〔1〕本実施例のマイクロコンピュータ M P U ( M P U 1 ) は、キャッシュメモリ C A C H E と共に R O M 9 , R A M 1 0 を同一半導体基板に搭載し、当該 R A M 1 0 , R O M 9 はキャッシュメモリ C A C H E におけるキャッシュヒットの場合と同じ 1 クロックサイクルでアクセス  
15   される高速アクセス可能な内蔵メモリとされる。さらにどのような場合にも内蔵メモリアccessをキャッシュヒットと同様の 1 クロックサイクルで実現できることは、内蔵メモリ 9 , 1 0 をキャッシュ対象としないこと、換言すれば内蔵メモリ 9 , 1 0 をノンキャッシュブルエリアに  
20   マッピングする事によって保証している。これにより、キャッシュメモリ C A C H E 自体の記憶容量が小さくキャッシュヒット率が低くても、高速にアクセス可能な内蔵メモリ 9 , 1 0 と組み合わせて利用されることで、C P U 1 によるマイクロコンピュータ M P U ( M P U 1 ) の内外に対する総合的なヒット率を高めることができる。したがって、C P U  
25   1 による動作プログラムの全体的な実行過程におけるメモリアクスの高速化、ひいてはデータ処理性能を全体的に高めることができる。

〔2〕マイクロコンピュータMPU（MPU1）では一般的に割り込みなどのタスク切替えが頻繁に発生し、プログラムカウンタの値が大きく変化するケースが多いので、キャッシュメモリCACHEのヒット率が低下する傾向が高い。このとき、ROM/RAMのような内蔵メモリと共にキャッシュメモリCACHEを搭載しているマイクロコンピュータMPU（MPU1）において、割り込みベクタと割り込みサービスルーチン（割り込み処理プログラム）を内蔵ROM/RAMに入れるようにし、当該ROM/RAMをキャッシュの対象としないことにより、割り込みが頻出するプログラムでもキャッシュヒットの場合と同様に、割り込み処理プログラムへの遷移を高速化する事ができ、この点においてもデータ処理性能もしくはデータ処理速度を向上させることができる。

〔3〕ダイレクトマップキャッシュメモリやウェイ数の少ないセットアソシアティブ形式のキャッシュメモリの場合には、一旦キャッシュミスするとしばらくその状態が連続する性質が顕著である。このとき、キャッシュャブルエリアに対するアクセスにおいては前回のキャッシュャブルエリアに対するアクセスがキャッシュヒットである場合にだけ制御信号BECNOPにて外部バスサイクルの起動にウェイトをかけ、キャッシュャブルエリアに対するアクセスにおいて前回のキャッシュャブルエリアに対するアクセスがキャッシュミスである場合には前記制御信号BECNOPによるウェイトを行わないようにする。これにより、キャッシュミス時のバスサイクルにアドレスヒット判定のための余分なウェイトサイクルが毎回入らないので、キャッシュミス時にけるメモリアクセスの性能低下を防ぐことができる。そのような制御が行われる場合には、キャッシュャブルエリアに対するキャッシュミスに続くキャッシュヒット時は、制御信号BECNOPによるウェイトが行われていないので、キャッシュヒットの状態はバスコントローラ7には与えず、キャッ

5 シュミスと同様の動作が行われることになるが、そのような動作はキャッシュミスからヒットへの切り替わり時の1回のアクセスだけとされるから、キャッシュミスの状態が複数回のアクセスに亘って続くことが一般的であることを考慮すれば、システム全体としてのメモリアクセスを確実に高速化できる。

〔4〕キャッシュメモリを内蔵RAMと兼用することにより、コスト面からも有利である。さらにバリッドビット105をアドレスレイ3から物理的に切り放してキャッシュコントローラ2などのレジスタに格納することにより、バリッドビット105のクリアを少ないアクセス回数でソフトウェア的に能率的に行うことも容易になる。この点においても、キャッシュメモリCACHEのハードウェア構成が減り、マイクロコンピュータMPU (MPU1) のコスト低減に寄与する。

#### 《2. 内蔵ROM記憶容量とキャッシュメモリ記憶容量との適正化》

15 次に上記実施例のようなROMとキャッシュメモリを内蔵するマイクロコンピュータにおける当該ROMの記憶容量とキャッシュメモリの記憶容量との最適化について説明する。

第23図はキャッシュの構成 (way数、ライン長、容量) に対するミス率 (1-h) を示している。本値は『Alan. J. Smith, 「Line (block) Size Choice for CPU Caches」, IEEE Trans, Comput., vol C-36, no. 9, pp1063-1075, Sept., 1987』の命令キャッシュミス率 (Fig 2) の値を元になっている。第23図の (A) ~ (D) における CACHE SIZE と記された縦の欄はキャッシュメモリCACHEのデータアレイの記憶容量 (バイト) を示し、Line と記された横の欄はキャッシュメモリCACHEにおけるデータラインのバイト数を意味する。そして前記縦の欄の数値と横の欄の数値との交

点位置に記された数値は、当該キャッシュサイズとライン長に対応されるミス率  $(1-h)$  とされる。第23図の(A)～(D)は、キャッシュメモリCACH Eの構成を、フルアソシアティブ(full)、4ウェイセットアソシアティブ(4way)、2ウェイセットアソシアティブ(2way)、  
5 1ウェイセットアソシアティブ即ちダイレクトマップ(direct)とした場合に対応される。

第24図は、第23図の値から総合ヒット率  $H = r + h - r h$  が0.9になる  $r$  の値を算出したものを示す。記述の仕方は第23図と同様である。第24図において  $r \leq 0$  のところは、内蔵ROMがなくてもヒット率が0.9を超えるキャッシュ構成を意味している。  
10

ここで仮定として、全プログラム容量が  $PRG [KB]$  ならば、内蔵ROM容量を  $R = r \times PRG$  とする。実際は頻繁に実行されるルーチンは内蔵ROMに置くので、一般に  $R < r \times PRG$  となるが、ここではワースト条件を考え、 $R = r \times PRG$  とする。さらに一般的な仮定として、  
15  $PRG = 512 KB$  とし、ROM容量  $R$  を計算すると第25図の結果を得る。第25図の記述の仕方は第23図と同様である。

第25図の結果に基づいてキャッシュ容量  $C [B]$  と内蔵ROM容量  $R [KB]$  の関係をプロットすると第27図～第30図の結果を得る。キャッシュメモリの構成は、第27図がフルアソシアティブ(full)、  
20 第28図が4ウェイセットアソシアティブ(4way)、第29図が2ウェイセットアソシアティブ(2way)、第30図がダイレクトマップ(direct)であり、夫々はキャッシュメモリのデータライン長がパラメータとされている。例えば第27図においてデータライン長が8バイトのフルアソシアティブ形式のキャッシュメモリを採用する場合、キャッシュメモリの容量を2048バイトとするとき、ROM容量は85.3  
25 3キロバイトであれば総合ヒット率が0.9になることを意味する。実

際に上記の結果を用いて、必要な性能を得るには、前記CとRの容量があれば十分であることがわかる。

- 第26図は、第27図～第30図に示される内蔵ROM容量とキャッシュメモリ容量との関係を式 $C + aR = b$ で近似したときの、キャッシュメモリの構成に対応する定数a、bが示される。本実施例のマイクロコンピュータにおいて内蔵ROM容量とキャッシュメモリ容量とを実際に決定する場合には、関係式： $C + aR \leq b$ を満足するように、コストと照らし合わせながらRとCの容量を決定すればよい。換言すれば、 $C + aR > b$ となる範囲を少なくとも除くようにC、Rを決定する。これにより、キャッシュメモリ容量CとROM容量Rをむやみに（無駄に）大きくすることなく、コスト及び総合ヒット率の点においてマイクロコンピュータMPU（MPU1）内蔵のROM9の記憶容量とキャッシュメモリCACHEの記憶容量とを最適化することができる。前記定数a、bの値は第26図より以下に示される通りである。
- |    |  |
|----|--|
| 15 | 8way以上／4バイトライン長： $a = 24.01$ 、 $b = 8194$  |
|    | 8way以上／8バイトライン長： $a = 9.00$ 、 $b = 3328$   |
|    | 8way以上／16バイトライン長： $a = 4.00$ 、 $b = 1280$  |
|    | 8way以上／32バイトライン長： $a = 1.75$ 、 $b = 512$   |
|    | 8way以上／64バイトライン長以上： $a = 0.75$ 、 $b = 256$ |
| 20 | 4way／4バイトライン長： $a = 25.19$ 、 $b = 8804$    |
|    | 4way／8バイトライン長： $a = 10.00$ 、 $b = 3584$    |
|    | 4way／16バイトライン長： $a = 5.00$ 、 $b = 1536$    |
|    | 4way／32バイトライン長： $a = 1.84$ 、 $b = 557$     |
|    | 4way／64バイトライン長以上： $a = 0.79$ 、 $b = 276$   |
| 25 | 2way／4バイトライン長： $a = 32.41$ 、 $b = 11112$   |
|    | 2way／8バイトライン長： $a = 11.90$ 、 $b = 4328$    |

2way/16バイトライン長: a=5.50、b=1792

2way/32バイトライン長: a=2.03、b=651

2way/64バイトライン長以上: a=0.87、b=316

1way/4バイトライン長: a=36.06、b=14361

5 1way/8バイトライン長: a=18.75、b=6591

1way/16バイトライン長: a=8.00、b=2816

1way/32バイトライン長: a=4.00、b=1280

1way/64バイトライン長以上: a=1.48、b=549

《3. 事前転送形式RAMキャッシュ内蔵マイクロコンピュータ》

10 第31図には高速RAMに事前にデータを転送して、全体としてのメモリアクセスの高速化を図ったマイクロコンピュータ(事前転送形式RAMキャッシュ内蔵マイクロコンピュータ)の一実施例ブロック図が示される。

15 本実施例のシングルチップマイクロコンピュータ(単にマイクロコンピュータとも記す)MPU2は、CPU200、CPU200の動作プログラム又はデータが格納されるROM202、CPU200の作業領域若しくはデータの一時記憶領域とされるRAM203、乗算器(MULT)209、バスコントローラ204、周辺回路210、外部バスインタフェース207、高速RAM201、アドレス変換器2010、RAM転送コントローラ205等を含み、単結晶シリコンのような1個の  
20 半導体基板に形成される。外部バスインタフェース207には外部バス211を介して外部メモリ208等が接続される。

25 本実施例のマイクロコンピュータMPU2は、特に制限されないが、RISCアーキテクチャを有し、CPU200は、1命令あたりCPU200の動作基準クロック信号における1クロックサイクルで命令を実行し、バスアクセスの基本サイクル数を1クロックサイクルとするよ

うに、パイプライン動作によって命令フェッチ、命令デコード、命令実行、メモリアクセスなどのパイプラインステージを実行していく。CPU 200が接続される内部バス206は、1クロックサイクルを最小動作周期とする高速内部バスであり、内部アドレスバスIAB、内部データバスIDB、内部制御バスICBから成る。当該内部バス206には  
5 前記夫々の回路モジュールが接続される。バスコントローラ204は、内部バス206の制御及び周辺回路210のアクセス制御などを行う。

バスコントローラ204は内部バス206から供給されるアドレス信号の上位側ビットに基づいてアクセス対象エリアの判定を行い、また  
10 内部バス206から供給されるバスコマンドなどを受け取ってリード／ライトやアクセスデータ幅等のアクセスの種別を判定する。それらの判定結果に従って内蔵ROM202、RAM203、高速RAM201等の動作選択を行い、また、外部アクセスのためのチップ選択やリード／ライトの指示を外部に対して行う。

15 本実施例において前記RAM203及びROM202はアクセスに2クロックサイクル以上必要な低速内蔵メモリとされる。これに対して前記高速RAM201は1クロックサイクルでアクセス可能とされ、事前転送形式のRAMキャッシュとして利用される。RAM転送コントローラ205は内蔵RAM203及びROM202の所要の情報を高速  
20 RAM201に転送する制御を行う。

第32図にはRAM転送コントローラ205のブロック図が示される。RAM転送コントローラ205は、キャッシングトリガアドレス即ち高速RAM201へのデータ転送起動要因とされるアドレスを格納するレジスタ(CTAR)301、キャッシングブロック開始アドレスレジスタ(CSAR)302、キャッシングブロック終了アドレスレジスタ  
25 (CEAR)303、RAMキャッシュ先頭アドレスレジスタ(RCA

R) 304、コントロール／ステータスレジスタ(CSR)305の各レジスタと、データ転送制御を行う制御回路306を有する。CSR305はRAM転送コントローラ205の動作設定ビットの他にバリッドフラグ(V)307を有する。

- 5       CTAR301、CSAR302、CEAR303、RCAR304の各レジスタにはCPU200が出力するアドレスと比較されるべき値が設定される。またCSR305はRAM転送コントローラ205のコントロール用の設定データやバリッドフラグ307を含む値が格納される。それらレジスタ301～305はCPU200によってリード／ライトアクセス可能とされ、制御回路306が内部アドレスバスIABの値をデコードして各レジスタを選択し、内部データバスIDBを介してそれらレジスタがリード／ライトされる。CSAR302及びCEAR303には前記ROM202及びRAM203のエリアの一部若しくは全部の範囲を指定するアドレス情報が設定されることになる。
- 10       指定可能範囲の記憶容量は高速RAM201の記憶容量によって決まる。
- 15

- 比較回路311は内部アドレスバスIABの値とCTAR301の値とを比較して、その比較結果を制御回路306に与える。比較回路312は内部アドレスバスIABの値がCSAR302の値以上のアドレスかを判定して、その判定結果を制御回路306に与える。比較回路313は内部アドレスバスIABの値がCEAR302の値以下のアドレスかを判定して、その判定結果を制御回路306に与える。第33図も参照するに、制御回路306は、CPU200から内部アドレスバスIABに供給されるアドレス信号がCTAR301の値に一致することを検出すると、CPU200からバス権を取得して、CSAR302の値によって決まるアドレスからCEAR303の値によって決ま
- 20
- 25



- るアドレスまでのデータを、RCAR 304の値を先頭とする高速RAM 201の所定領域に転送制御する。このとき、変換制御信号3140は非活性状態にされており、高速RAM 201は、RAM転送コントローラ205が内部アドレスバスIABに出力するアドレス信号に従ってアクセスされる。当該転送を完了した後は、バリッドフラグ307を有効とし、バス権を放棄する。また、制御回路306は、バリッドフラグ307が有効にされているときは、比較回路312、313による判定結果を判定回路314で参照し、内部アドレスバスIABの値が、CSAR 302の値によって決まるアドレスからCEAR 303の値によって決まるアドレスの範囲に入っていることを検出すると、アドレス演算器315にてRCAR 304の値からCSAR 302の値を減算し(RCAR - CSAR)、減算された値をRAMアドレス変換情報316として、高速RAM 201に供給し、且つ、変換制御信号310を活性化する。
- 第34図には高速RAM 201及びアドレス変換器2010のブロック図が示される。前記変換制御信号3140が活性化されている状態において、アドレス変換器2010は、そのときの内部アドレスバスIABの値に、前記RAMアドレス変換情報316を加算し、これをアクセスアドレスとして高速RAM 201に供給する。変換制御信号3140が非活性状態のときは、内部アドレスバスIABの値がそのまま高速RAM 201に供給される。高速RAM 201は、通常のRAMの構成を有すれば十分であるからその詳細な説明は省略する。したがって、バリッドフラグ307がリセット状態のとき、また、変換制御信号3140が非活性状態のとき、第33図に示されるように、RAM転送コントローラ205から内部アドレスバスIABに出力されるアドレス信号に従って、CSAR 302～CEAR 303の範囲のデータが、RCA

R 3 0 4 の値を先頭として、高速 R A M 2 1 0 に転送される。バリッド  
フラグ 3 0 7 がセット状態のときは、C P U 2 0 0 が C S A R 3 0 2 の  
値によって決まるアドレスから C E A R 3 0 3 の値によって決まるア  
ドレスの範囲内をアクセスすると、変換制御信号 3 1 4 0 が活性化され、  
5 実際には、R C A R 3 0 4 を先頭とする高速 R A M 2 0 1 の領域がアク  
セスされる。バスコントローラ 2 0 4 は、変換制御信号 3 1 4 0 が活性  
化されているときは、R O M 2 0 2、R A M 2 0 3、外部メモリ 2 0 8  
の動作選択に代えて、高速 R A M 2 0 1 を動作選択する。

C P U 2 0 0 が内蔵 R O M 2 0 2、内蔵 R A M 2 0 3、又は外部メモ  
10 り 2 0 8 内にある命令やデータをアクセスしようとしたときの動作の  
一例を説明する。C P U 2 0 0 が内部バス 2 0 6 を介してアドレス信号  
2 5 0 を出力する。アドレス信号 2 5 0 が R A M 転送コントローラ 2  
0 5 に供給され、供給されたアドレス信号 2 5 0 が C T A R 3 0 1 の値  
と比較される。その比較結果が一致していれば、R A M 転送コントロー  
15 ラー 2 0 5 はバスコントローラ 2 0 4 にバス権要求信号 (R T C R E  
Q) 2 5 1 をアサートする。バスコントローラ 2 0 4 はバスアービタ  
2 2 0 にてバス権を調停し、C P U 2 0 0 のバスサイクルの切れ目など  
で、バス権を R A M 転送コントローラ 2 0 5 に与える。これによって、  
C P U バス権アクノリッジ信号 (C P U A C K) 2 5 3 がネゲートされ、  
20 R A M 転送コントローラバス権アクノリッジ信号 (R T C A C K) 2 5  
2 がアサートされる。R T C A C K 2 5 2 のアサートを受けて、R A M  
転送コントローラ 2 0 5 がバス権を獲得すると、R A M 転送コントロ  
ーラ 2 0 5 は、前記 C S A R 3 0 2 で指されるアドレスから C E A R 3  
0 3 で指されるアドレスまでの範囲の例えば低速な内蔵 R O M 2 0 2、  
25 内蔵 R A M 2 0 3、又は外部メモリ 2 0 8 内にある命令又はデータを、  
前記 R C A R 3 0 4 で指される高速 R A M 2 0 1 内のアドレスから後

のアドレスに転送制御する。転送が終了したら、制御回路306が、高速RAM内に命令又はデータが格納されていることを示すCSR305内のバリッドフラグ307をセット状態に反転する。そしてRAM転送コントローラ205はバス権を放棄する。

- 5 CPU200がRAM転送コントローラ205からバス権を獲得してCPU200がバスアクセスを起動すると、CPU200が出力するアドレス信号250は、比較器312, 313にて前記CSAR302, CEAR303の値と比較される。 $CSAR \leq \text{アドレス信号} \leq CEAR$ であって、バリッドフラグ307がセット状態ならば、そのアドレス
- 10 ス信号250の内容は、高速RAM201アクセス用に変換され、これにより、低速な内蔵ROM202／内蔵RAM203／外部メモリ208に代えて高速RAM201がアクセスされる。上記条件が成立していない場合には、通常通り、アドレス信号250によって低速な内蔵ROM202、内蔵RAM203、又は外部メモリ208などがアクセスさ
- 15 れる。

- 上記条件が成立している場合の動作を更に詳述すれば、RAM転送コントローラ205から高速RAM201へRAMアドレス変換情報316が供給され、またバスコントローラ204へはRAMアドレス変換情報316及び変換制御信号3141が与えられる。これによって高
- 20 速RAM201は、CPUアクセスアドレス $-CSAR+RCAR$ で計算されたアクセスアドレスによってアクセス可能にされる。一方、バスコントローラ204は、RAMアドレス変換情報316及び変換制御信号3141にて高速RAM210を動作選択する。またバスコントローラ204は前記変換制御信号3140にて、そのときの内部アドレスバ
- 25 スIAB上のアドレス信号250に対応される、ROM202、RAM203、又は外部メモリ208に対する動作選択を抑止する。アドレス

演算器 3 1 5 及びアドレス変換器 2 0 1 0 による演算に無視し得ない  
時間がかかる場合には、高速 R A M 2 0 1 のアクセスアドレスを、R C  
A R の上位とアドレス 2 5 0 の下位を接続したものとしてもよい。この  
場合、C S A R 3 0 2 と C E A R 3 0 3 に設定可能な値は自ずと制限さ  
5 れることになる。或いは C E A R 3 0 3 を廃止し、アドレス 2 5 0 の上  
位と C S A R 3 0 2 の上位との一致比較を行うようにしてもよい。

尚、上記 R O M 2 0 2、R A M 2 0 3 の全て又は何れかが、或いは、  
各々の一部分が、アクセススピードが間に合えば、1 サイクルアクセス  
可能な構成を採用することも可能である。この場合、内部バス 2 0 6 に  
10 接続された 1 サイクルアクセス可能なデバイスに対して前記 R A M キ  
ャッシュの制御は不要とされ、通常通りの C P U 2 0 0 による 1 クロッ  
クサイクルアクセスが行われる。また、上記実施例における高速 R A M  
2 1 0 への事前転送の対象データは、内蔵 R O M、R A M のデータに限  
定されず、外部メモリのデータだけを対象とし、或いは内蔵 R O M 及び  
15 R A M と外部メモリとの双方のデータを対象とすることができる。それ  
らの場合にも上記実施例と同様の制御によって実現できる。

本実施例によれば、アクセスタイムが遅い内蔵 R O M 2 0 2 又は R A  
M 2 0 3 に格納されているプログラムのうち、ある部分をあらかじめ高  
速 R A M 2 0 1 に転送して、当該プログラムを実行させるようにすれば、  
20 その部分の実行を高速化できる。当然、内蔵 R O M / R A M に収まりき  
れずにプログラムがアクセスタイムの遅い外部メモリ 2 0 8 にはみ出  
しても、この外部メモリ 2 0 8 を内蔵 R O M / R A M と同様に制御すれ  
ば性能低下を防ぐことができる。シングルチップマイクロコンピュータ  
が対象にする主なアプリケーションでは、高速性が要求されるルーチン  
25 は割り込み処理プログラムなどのように比較的そのアドレス範囲と実  
行タイミングが限定されており、あまり処理性能が必要でないバックグ

ランドルーチン（例えばメインルーチン）を実行中に高速実行が必要な部分をあらかじめ高速RAM 201に転送しておくことができる。その結果、プログラム処理全体の性能を向上させることができる。

#### 《4. 同時転送形式RAMキャッシュ内蔵マイクロコンピュータ》

- 5       第35図には高速RAMに同時にデータを転送してアクセスの高速化を図ったマイクロコンピュータ（同時転送形式RAMキャッシュ内蔵マイクロコンピュータ）の一実施例ブロック図が示される。

- 本実施例のシングルチップマイクロコンピュータ（単にマイクロコンピュータとも記す）MPU 3は、CPU 400、CPU 400動作プログラム又はデータが格納されるROM 402、CPU 400の作業領域若しくはデータの一時記憶領域とされるRAM 403、乗算器（MULT）409、バスコントローラ404、周辺回路410、外部バスインタフェース407、高速RAM 401、アドレス変換器4010、及びRAM転送コントローラ405等を含み、単結晶シリコンのような1個の半導体基板に形成される。外部バスインタフェース407には外部バス411を介して外部メモリ408等が接続される。高速RAM 401は第36図に示される。第34図で説明したものとの相違点は、アドレス変換器4010の動作が変換制御信号5140にて制御されず、常に、内部アドレスバスIABの値にRAMアドレス変換情報516を加算して高速RAM 401に供給する。
- 10  
15  
20

- 本実施例のマイクロコンピュータMPU 3は、特に制限されないが、RISCアーキテクチャを有するものであって、CPU 400は、1命令あたりCPU 400の動作基準クロック信号における1クロックサイクルで命令を実行し、バスアクセスの基本サイクル数を1クロックサイクルとするように、パイプライン動作によって命令フェッチ、命令デコード、命令実行、メモリアクセスなどのパイプラインステージを実行
- 25

していく。CPU 400が接続される内部バス406は、1クロックサイクルを最小動作周期とする高速内部バスであり、内部アドレスバスIAB、内部データバスIDB、内部制御バスICBから成る。当該内部バス406には前記夫々の回路モジュールが接続される。バスコントローラ404は、内部バス406の制御及び周辺回路410のアクセス制御などを行う。

バスコントローラ404は内部バス406から供給されるアドレス信号の上位側ビットに基づいてアクセス対象エリアの判定を行い、また内部バス406から供給されるバスコマンドなどを受け取ってリード／ライトやアクセスデータ幅等のアクセスの種別を判定する。それらの判定結果に従って内蔵ROM402やRAM403等の選択を行い、また、外部アクセスのためのチップ選択やリード／ライトの指示を外部バスインタフェースを介して外部に与える制御を行う。

本実施例において前記RAM403及びROM402はアクセスに2クロックサイクル以上必要な低速内蔵メモリとされる。これに対して前記高速RAM401は1クロックサイクルでアクセス可能とされ、同時転送形式のRAMキャッシュとして利用される。RAM転送コントローラ405は内蔵RAM403及びROM402の所要の情報を高速RAM401に転送する制御を行う。

第37図にはRAM転送コントローラ405のブロック図が示される。RAM転送コントローラ405は、キャッシングブロック開始アドレスレジスタ(CSAR)502、キャッシングブロック終了アドレスレジスタ(CEAR)503、RAMキャッシュ先頭アドレスレジスタ(RCAR)504、コントロール／ステータスレジスタ(CSR)505の各レジスタと、データ転送制御を行う制御回路506を有する。CSR505はRAM転送コントローラ405の動作設定ビットの他に

バリッドフラグ (V) 508を有する。

CSAR 502、CEAR 503、RCAR 504にはCPU 400  
が出力するアドレスと比較されるべき値が設定される。またCSR 50  
5はRAM転送コントローラ405のコントロール用の設定データ  
5 やバリッドフラグ508を含む値が格納される。それらレジスタ502  
～505はCPU 400によってリード/ライトアクセス可能とされ、  
制御回路506が内部アドレスバスIABの値をデコードして各レジ  
スタを選択し、内部データバスIDBを介してそれらレジスタがリード  
/ライトされる。CSAR 502及びCEAR 503には前記ROM 5  
10 02及びRAM 503のエリアの一部若しくは全部の範囲を指定する  
アドレス情報が設定されることになる。指定可能範囲の記憶容量は高速  
RAM 501の記憶容量によって決まる。

比較回路512は内部アドレスバスIABの値がCSAR 502の  
値以上のアドレスか、またCSAR 502の値に等しいアドレスかを判  
15 定して、その判定結果を制御回路506に与える。比較回路513は内  
部アドレスバスIABの値がCEAR 502の値以下のアドレスか、ま  
たCEAR 502の値に等しいアドレスかを判定して、その判定結果を  
制御回路506に与える。

CPU 400が内部バス406を介してアドレス信号450を出力  
20 すると、アドレス信号450がRAM転送コントローラ405に供給さ  
れ、供給されたアドレス信号が比較器512、513にて前記CSAR  
502、CEAR 503の値と比較される。比較結果は判定回路514  
に与えられる。判定回路514は、バリッドフラグ508が無効状態の  
時、アクセスアドレスがCSARの値に一致していることを検出すると、  
25 それ以降、アドレス信号450が前記CEAR 503の値に一致するま  
での間、或いはアドレス信号450がCSAR 502の値からCEAR

503の値の範囲に入っている間、CPU400が内蔵ROM402、内蔵RAM403、又は外部メモリ408内にある命令やデータをアクセスしたときに、同時に、このアクセス（リード又はライト）した命令やデータを高速RAM401にライトする。この時の高速RAM401

5      のアクセスアドレスは前記実施例同様に、CPUアクセスアドレス－CSAR+RCAR、で計算される。即ち、演算器515が前記実施例同様にRAMアドレス変換情報（RCAR－CSAR）51を生成し、これを受ける高速RAM401の演算器4010が高速RAMアクセスアドレス（CPUアクセスアドレス－CSAR+RCAR）を生成する。

10     ライトタイミングは、第38図に示されるように、内蔵ROM402、内蔵RAM403、又は外部メモリ408のアクセスに並行して行われる。そのような並列的な高速RAM401アクセスのための高速RAM401の動作選択は、変換制御情報5140をバスコントローラ404が受けることによって制御する。高速RAMアドレスのアドレス演算に

15     時間がかかる場合には、高速RAM401のアクセスアドレスは、RCARの上位とアドレス信号450の下位を接続したものとしてもよい。この場合、CSAR502とCEAR503の設定可能な内容は制限を受ける。或いは、CEAR503を廃止し、アドレス信号450の上位とCSAR502の上位との一致比較を行うようにしてもよい。CSA

20     R502の値からCEAR503までのアドレス範囲に対するデータの高速RAM401へのライト動作が終了されると、制御回路506はバリッドフラグ508をセット状態に転ずる。本実施例において制御回路506は、CSAR502の値からCEAR503までのアドレス範囲に対するデータの高速RAM401へのライト動作の終了を検出する

25     手段を特に備えていない。即ち、CPU400によるアクセスアドレスが順番に変化されるアドレス範囲においてCSAR502とCEA



R 5 0 3 の値を設定すればよいからである。特に制限されないが、C S  
A R 5 0 2 の値から C E A R 5 0 3 までのアドレス範囲における個々  
のアドレスに対するアクセスの有無を逐次検出して当該範囲の全ての  
アドレスに対するアクセスの完了を検出する回路を設けることも可能  
5 である。

制御回路 5 0 6 は、バリッドフラグ 5 0 8 がセットされている状態に  
おいては、C P U 4 0 0 のアクセスにおいて、C P U のアクセスアドレ  
スが、 $C S A R \leq \text{アドレス} \leq C E A R$  の範囲に入っていることを判定回  
路 5 1 4 で検出したときは、判定制御信号 5 1 4 0 にて、内蔵 R O M 4  
10 0 2、内蔵 R A M 4 0 3、又は外部メモリ 4 0 8 の動作選択をバスコン  
トローラ 4 0 4 で抑止させる。それに代えて、バスコントローラ 4 0 4  
に高速 R A M 4 0 1 の動作を選択させ、高速 R A M 4 0 1 には R A M ア  
ドレス変換情報 5 1 6 を供給して、高速 R A M 4 0 1 を 1 クロックサイ  
クルで動作させる。これによってその範囲のアドレスアクセスを高速化  
15 することができる。高速 R A M 4 0 1 のアクセスに利用されるアドレス  
信号は、前記実施例同様に、C P U アクセスアドレス - C S A R + R C  
A R、とされる。このアドレス演算に無視し得ない時間を要する場合には、  
前述の通り、高速 R A M 4 0 1 のアクセスアドレスを、R C A R の  
上位とアドレス 4 5 0 の下位を接続したものとすることができる。

20 尚、上記実施例における高速 R A M 2 1 0 への同時転送の対象データ  
は、内蔵 R O M、R A M のデータに限定されず、外部メモリのデータだ  
けを対象とし、或いは内蔵 R O M 及び R A M と外部メモリとの双方のデ  
ータを対象とすることができる。それらの場合にも上記実施例と同様の  
制御によって実現できる。

25 本実施例によれば、前記事前転送形式 R A M キャッシュ内蔵マイクロ  
コンピュータと同様に処理性能の向上を図ることができるが、性能をあ

5      まり必要としないバックグラウンド処理が少ない場合、高速化したい範囲  
を予め転送するための時間を割きにくい。このため、内蔵ROM/RAMの高速化したい範囲をCPU 400がアクセスしたときに同時に高速RAM 401へもアクセスデータをコピーするようにしておけば、その範囲を初めて実行する際は内蔵ROM/RAMのアクセスタイムに依存する性能しか出ないが、2回目以降の実行は高速RAM 401のアクセスとなるため高速化される。当然、内蔵ROM/RAMに収まりきれずにプログラムがアクセスタイムの遅い外部メモリにはみ出しても、この外部メモリを内蔵ROM/RAMと同様に制御すれば性能低下を防ぐことができる。

《5. アドレス置換形式RAMキャッシュ内蔵マイクロコンピュータ》

10      第39図にはDMACなどによって低速メモリの情報をあらかじめ高速RAMに転送しておき、当該低速メモリに対するアクセスアドレスを高速RAMのアドレスに置き換えてメモリアクセスの高速化を図ったマイクロコンピュータ(アドレス置き換え形式RAMキャッシュ内蔵マイクロコンピュータ)の一実施例ブロック図が示される。

15      本実施例のシングルチップマイクロコンピュータ(単にマイクロコンピュータとも記す)MPU 4は、CPU 600、CPU 600動作プログラム又はデータが格納されるROM 602、CPU 600の作業領域若しくはデータの一時記憶領域とされるRAM 603、乗算器(MULT) 609、バスコントローラ 604、周辺回路 610、外部バスインタフェース 607、高速RAM 601、アドレス変換器 613、及びDMAコントローラ 612等を含み、単結晶シリコンのような1個の半導体基板に形成される。外部バスインタフェース 607には外部バス 611を介して外部メモリ 608等が接続される。

20      本実施例のマイクロコンピュータMPU 4は、特に制限されないが、

RISCアーキテクチャを有するものであって、CPU 600は、1命令あたりCPU 600の動作基準クロック信号における1クロックサイクルで命令を実行し、バスアクセスの基本サイクル数を1クロックサイクルとするように、パイプライン動作によって命令フェッチ、命令デコード、命令実行、メモリアクセスなどのパイプラインステージを実行していく。CPU 600が接続される内部バス606は、1クロックサイクルを最小動作周期とする高速内部バスであり、内部アドレスバスIAB、内部データバスIDB、内部制御バスICBから成る。当該内部バス606には前記夫々の回路モジュールが接続される。バスコントローラ604は、内部バス606の制御及び周辺回路610のアクセス制御などを行う。

本実施例において前記RAM 603及びROM 602は、アクセスに2クロックサイクル以上必要な低速内蔵メモリとされる。これに対して前記高速RAM 601は、1クロックサイクルでアクセス可能とされ、アドレス置き換え形式のRAMキャッシュとして利用される。DMAコントローラ612は、CPU 600に代わって内蔵RAM 603及びROM 602などの所要の情報を高速RAM 601に転送したりする制御を行う。DMAコントローラ612に対する動作の初期設定はCPU 600が行う。DMAコントローラ612にて高速RAM 601に転送されたデータを内蔵RAM 603又はROM 602などに代えてCPU 600がアクセス可能にする制御は、特に制限されないが、バスコントローラ604が行う。

第40図にはバスコントローラ604の一例ブロック図が示される。バスコントローラ604は、内部バス606から供給されるアドレス信号の上位側ビットに基づいてアクセス対象エリアの判定を行って行い、また内部バス606から供給されるバスコマンドをなどを受け取って

リード／ライトやアクセスデータ幅等のアクセスの種別を判定する。それらの判定結果に従って内蔵ROM 602やRAM 603等の選択を行い、また、外部アクセスのためのチップ選択やリード／ライトの指示を外部バスインタフェース 607を介して外部に行う。それらの制御は

5 制御回路 706が行う。バスコントローラ 604は高速RAM 601を制御するために、キャッシングブロック開始アドレスレジスタ (CSAR) 702、キャッシングブロック終了アドレスレジスタ (CEAR) 703、コントロール／ステータスレジスタ (CSR) 705、RAM先頭アドレスレジスタ 707、比較器 712、713、判定回路 715、

10 及びアドレス演算器 714を備える。CSR 705はバリッドフラグ 7051を供える。当該フラグ 7051はDMAコントローラがCPUに代わって内蔵RAM 603及びROM 602の所要の情報を高速RAM 601に転送した後、セット状態にされる。

CSAR 702、CEAR 703にはCPU 600が出力するアドレスと比較されるべき値が設定される。RAM先頭アドレスレジスタ 707には高速RAM 601がマッピングされるアドレス領域の先頭アドレスが設定される。それらレジスタ 702、703、705、707はCPU 600によってリード／ライトアクセス可能とされ、制御回路 706が内部アドレスバス IABの値をデコードして各レジスタを選択し、内部データバス IDBを介してそれらレジスタがリード／ライトされる。CSAR 702及びCEAR 703には前記DMAコントローラ 612によって高速RAM 601に転送されたROM 602、RAM 603のデータアドレスの範囲を指定するアドレス情報が設定されることになる。

15

20

25 比較回路 712は内部アドレスバス IABの値がCSAR 702の値以上のアドレスかを判定して、その判定結果を制御回路 706に与え

る。比較回路 713 は内部アドレスバス IAB の値が CEAR 702 の値以下のアドレスかを判定して、その判定結果を制御回路 706 に与える。それによって判定回路 715 は、CPU 600 から内部アドレスバス IAB に供給されるアドレス信号が、CSAR  $\leq$  アドレス  $\leq$  CEAR の範囲に入っていることを検出すると、バリッドフラグ 7051 がセット状態にされていることを条件に、アドレス演算器 714 にて RAM 先頭アドレスレジスタ (RCAR) 707 の値から CSAR 702 の値を減算し (RCAR - CSAR)、減算された値を RAM アドレス変換情報 716 として、高速 RAM 601 に供給し、更に、変換制御信号 7150 を活性化して高速 RAM 601 に供給する。バリッドフラグ 7051 がリセット状態にされているときは、内部バス IAB のアドレスの値に拘わらず、前記アドレス演算器 714 は動作されず、且つ、変換制御信号 7150 は非活性状態にされる。制御回路 706 は、変換制御信号 7150 を活性化するとき、アドレスバス IAB の値が指定する ROM 602 又は RAM 603 の動作選択を抑止し、それに代えて高速 RAM 601 の動作を選択信号 (メモリーネーブル信号) で選択する。

第 41 図には高速 RAM 601 及びアドレス演算器 613 のブロック図が示される。アドレス演算器 613 は、変換制御信号 7150 が活性化されているとき、内部アドレスバス IAB の値に、前記 RAM アドレス変換情報 716 を加算し、これをアクセスアドレスとして高速 RAM 601 に供給する。変換制御信号 7150 が非活性状態の場合には、アドレス演算器 613 は内部アドレスバス IAB の値を直接高速 RAM 601 に供給する。DMA コントローラ 612 にて ROM 602, RAM 603 のデータが高速 RAM 601 に転送されるときは前記バリッドフラグ 7051 がリセット状態にされるので、DMA コントローラ 604 が出力するアドレス信号に従って高速 RAM 601 がアクセス

される。

- DMAコントローラ612による高速RAM601へのデータ転送が行われた後に、CPU600が内蔵ROM602、内蔵RAM603、又は外部メモリ608内にある命令やデータをアクセスしようとしたときの動作の一例を説明する。CPU600が内部バス606を介してアドレス信号650を出力する。アドレス信号650がバスコントローラ604に供給され、供給されたアドレス信号はCSAR702及びCEAR703の値とそれぞれ比較される。 $CSAR \leq \text{アドレス} \leq CEAR$ であれば、変換制御信号7150が活性化され、且つアドレス演算器714にてCPU600のアクセスアドレスは高速RAM601のアドレスに変換される。これによって、CPU600は高速RAM601を高速アクセスすることによって、低速メモリ602、603又は608のデータをアクセスできる。このときの、CPUアクセスアドレス $CSAR + \text{高速RAM先頭アドレス}$ 、というアドレス演算に無視し得ない時間がかかる場合には、高速RAM601のアクセスアドレスを、高速RAM601の先頭アドレスの上位とアドレス信号650の下位を接続したものとすればよい。或いはCEAR603を廃止し、アドレス信号650の上位とCSAR602の上位との一致比較を行うようにしてもよい。
- 尚、ROM602、RAM603の全て又は何れかが、或いは、各々の一部分が、アクセススピードが間に合えば、1サイクルアクセスが可能である構成も採れる。この場合、内部バス606に接続されたデバイスはもともと1サイクルアクセスできるので上記RAMキャッシュの制御は行わずに通常通りにCPU600がアクセスできる。また、上記実施例における高速RAM210へのアドレス置き換えによるデータ転送の対象は、内蔵ROM、RAMのデータに限定されず、外部メモリ

のデータだけを対象とし、或いは内蔵ROM及びRAMと外部メモリとの双方のデータを対象とすることができる。それらの場合にも上記実施例と同様の制御によって実現できる。

上記実施例のように、CPU 600が内蔵ROM/RAMのある指定された範囲をアクセスしようとしたときに、無条件に内蔵の高速RAM 601をアクセス可能にする構成によれば、ユーザがプログラムの初期設定時などにあらかじめDMACコントローラ612などにより高速RAM 601に内蔵ROM/RAM内の動作を高速化したいプログラムやデータを転送しておけば、処理の高速化を図ることができる。C  
コンパイラやアセンブラなどで完成したプログラムのうち高速化すべきところがわかっていれば、本機能にて簡単に性能向上できる。この方式だと、キャッシュミスによるペナルティや、バックグラウンド処理中の高速化ルーチンの転送がなくなる。また、実行時間が、初回通過時とそれ以降も全く同じになり、タイミング設計がやりやすい特長をもつ。当然、内蔵ROM/RAMに収まりきれずにプログラムがアクセスタイムの遅い外部メモリにはみ出しても、この外部メモリを内蔵ROM/RAMと同様に制御すれば性能低下を防ぐことができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、周辺回路11を内部バス6に直結せず、何らかの周辺機能専用バスに接続して、その周辺機能専用バスと内部6を別のインタフェース回路を介して接続することも可能である。キャッシュメモリCACHEと外部メモリ13との間のデータライト時のコヒーレンシについてはライトバックやライトスルー方式等によって保つことができる。また、キャッシュメモリの初期化などのために全バリッドビットを一括して

クリアするバージ機構を別に設けておくことも可能である。更に、キャッシュメモリ C A C H E としては、命令専用、データ専用、命令データ混合型の何れか、又はそれらを組み合わせの構成を採用することが可能である。前記制御信号 B E C N O P についてはバスコントローラがその

5    アクセスエリア判定機構を流用して生成してもよい。その場合には、キャッシュメモリからのキャッシュヒット／ミスの通知をラッチするフラグ F L G をバスコントローラが備えて、前記制御信号 B E C N O P のアサート／ネゲートの制御を行わなければならない。更にそのような制御信号 B E C N O P の生成とアサート／ネゲートの制御を専用回路で行ってもよい。また、キャッシュابلエリア／ノンキャッシュابلエリアの判定は上記実施例のようにアクセスアドレスに基づいてキャッシュコントローラが行う構成に限定されない。例えば、バスコントローラが行ったり、或いは、キャッシュコントローラに設けられたキャッシュイネーブル／ディスエーブルを制御する制御ビットを、バスコントローラが判定したアクセスエリアがノンキャッシュابلエリアかキャッシュ

10    ابلエリアかに応じて書換制御することで行ってもよい。

15

#### 産業上の利用可能性

以上のように、本発明は、中央処理装置と共に R O M , R A M , キャッシュメモリ等のメモリを内蔵したマイクロコンピュータ、そして外部メモリ等と一緒にマイクロコンピュータを搭載した各種データ処理システムに広く適用することができる。

20



## 請 求 の 範 囲

1. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる内蔵メモリと、  
 5 前記中央処理装置に内部バスで結合されたキャッシュメモリと、前記中央処理装置をマイクロコンピュータの外部アドレス空間とインタフェースさせるインタフェース手段と、前記外部アドレス空間を前記キャッシュメモリによるキャッシュの対象とし、前記内蔵メモリをキャッシュの非対象に制御する制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。
- 10 2. 前記キャッシュメモリは2のべき乗数のウェイ数を有し、前記内蔵メモリは、前記中央処理装置の動作プログラムを格納するROMを含み、当該ROMのデータ記憶容量をRキロバイトとし、前述のキャッシュメモリのデータ記憶容量をCバイトとしたとき、前述のキャッシュメモリのウェイ数とキャッシュエントリのデータライン長に応じて定数  
 15 a、bを、下記の通り、
- |    |         |              |          |        |
|----|---------|--------------|----------|--------|
|    | 8way以上／ | 4バイトライン長：    | a=24.01、 | b=8194 |
|    | 8way以上／ | 8バイトライン長：    | a=9.00、  | b=3328 |
|    | 8way以上／ | 16バイトライン長：   | a=4.00、  | b=1280 |
| 20 | 8way以上／ | 32バイトライン長：   | a=1.75、  | b=512  |
|    | 8way以上／ | 64バイトライン長以上： | a=0.75、  | b=256  |
|    | 4way／   | 4バイトライン長：    | a=25.19、 | b=8804 |
|    | 4way／   | 8バイトライン長：    | a=10.00、 | b=3584 |
|    | 4way／   | 16バイトライン長：   | a=5.00、  | b=1536 |
| 25 | 4way／   | 32バイトライン長：   | a=1.84、  | b=557  |
|    | 4way／   | 64バイトライン長以上： | a=0.79、  | b=276  |

- 2 way / 4 バイトライン長 : a = 3 2 . 4 1、b = 1 1 1 1 2  
 2 way / 8 バイトライン長 : a = 1 1 . 9 0、b = 4 3 2 8  
 2 way / 16 バイトライン長 : a = 5 . 5 0、b = 1 7 9 2  
 2 way / 32 バイトライン長 : a = 2 . 0 3、b = 6 5 1  
 5 2 way / 64 バイトライン長以上 : a = 0 . 8 7、b = 3 1 6  
 1 way / 4 バイトライン長 : a = 3 6 . 0 6、b = 1 4 3 6 1  
 1 way / 8 バイトライン長 : a = 1 8 . 7 5、b = 6 5 9 1  
 1 way / 16 バイトライン長 : a = 8 . 0 0、b = 2 8 1 6  
 1 way / 32 バイトライン長 : a = 4 . 0 0、b = 1 2 8 0  
 10 1 way / 64 バイトライン長以上 : a = 1 . 4 8、b = 5 4 9  
 と定めたとき、 $C + aR$  は  $b$  を越えない関係を満足して成るものであることを特徴とする請求の範囲第 1 項記載のマイクロコンピュータ。
3. 前記インタフェース手段は、外部アドレス空間に対するアクセスサイクルの起動を、キャッシュメモリのキャッシュヒット又はキャッシュミス  
 15 ミスの判定に要する一定期間ウェイトし、当該ウェイト動作を、キャッシュヒットの状態がキャッシュミスの状態に変化された次のアクセスサイクルから抑止し、抑止したウェイト動作を、キャッシュミスの状態がキャッシュヒットの状態に変化された次のアクセスサイクルから再開するものであり、当該キャッシュミスの状態がキャッシュヒットの状態  
 20 に変化されたとき前記キャッシュメモリはヒットに係るデータの入出力動作を抑止し、前記インタフェース手段は外部アドレス空間に対するアクセスサイクルの起動するものであることを特徴とする請求の範囲第 1 項記載のマイクロコンピュータ。
4. 前記中央処理装置は RISC アーキテクチャを有し、前記中央処理  
 25 装置、内蔵メモリ、及びキャッシュメモリは内部バスを共有し、中央処理装置は当該内部バスをその動作基準クロック信号の 1 クロックサイ

クルを最高アクセス速度としてアクセスするものであることを特徴とする請求の範囲第1項記載のマイクロコンピュータ。

5 5. 前記中央処理装置はRISCアーキテクチャを有し、前記中央処理装置、内蔵メモリ、及びキャッシュメモリは内部バスを共有し、中央処理装置は当該内部バスをその動作基準クロック信号の1クロックサイクルを最高アクセス速度としてアクセスするものであることを特徴とする請求の範囲第2項記載のマイクロコンピュータ。

10 6. 前記中央処理装置はRISCアーキテクチャを有し、前記中央処理装置、内蔵メモリ、及びキャッシュメモリは内部バスを共有し、中央処理装置は当該内部バスをその動作基準クロック信号の1クロックサイクルを最高アクセス速度としてアクセスするものであることを特徴とする請求の範囲第3項記載のマイクロコンピュータ。

15 7. 前記キャッシュメモリは、中央処理装置によるアクセスの開始から該中央処理装置の動作基準クロック信号の1クロックサイクルの期間を以てキャッシュヒットに係るデータを前記内部バスに出力するものであることを特徴とする請求の範囲第4項記載のマイクロコンピュータ。

20 8. 前記キャッシュメモリは、中央処理装置によるアクセスの開始から該中央処理装置の動作基準クロック信号の1クロックサイクルの期間を以てキャッシュヒットに係るデータを前記内部バスに出力するものであることを特徴とする請求の範囲第5項記載のマイクロコンピュータ。

25 9. 前記キャッシュメモリは、中央処理装置によるアクセスの開始から該中央処理装置の動作基準クロック信号の1クロックサイクルの期間を以てキャッシュヒットに係るデータを前記内部バスに出力するものであることを特徴とする請求の範囲第6項記載のマイクロコンピュ

タ。

10. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる内蔵メモリと、当該内蔵メモリよりもアクセス動作の速い高速RAMと、前記中央処理装置が特定のアクセスを行なったことをトリガとし、中央処理装置からバス権を獲得して前記内蔵メモリの特定アドレスから別の特定アドレスまでの内容を前記高速RAMに転送し、転送後における中央処理装置のアクセスが前記転送元アドレスであるとき当該アクセス対象を高速RAMに切換え制御する転送制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。

11. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる高速RAMと、前記中央処理装置をマイクロコンピュータの外部アドレス空間とインタフェースさせるインタフェース手段と、前記中央処理装置が特定のアクセスを行なったことをトリガとし、中央処理装置からバス権を獲得して前記外部アドレス空間の特定アドレスから別の特定アドレスまでの内容を前記高速RAMに転送し、転送後における中央処理装置のアクセスが前記転送元アドレスであるとき当該アクセス対象を高速RAMに切換え制御する転送制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。

12. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる内蔵メモリと、前記中央処理装置によってアクセスされる高速RAMと、前記中央処理装置が前記内蔵メモリをアクセスしたことをトリガとし、中央処理装置によるその内蔵メモリのアクセスに並行して当該アクセスデータを高速RAMに転送する制御を所定のアドレス範囲に対して行い、所定のア

ドレス範囲のアドレスに対する前記データ転送完了後における中央処理装置のアクセスが前記転送元データのアドレスであるとき当該アクセス対象を高速RAMに切換え制御する転送制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。

- 5 13. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる高速RAMと、前記中央処理装置をマイクロコンピュータの外部アドレス空間とインタフェースさせるインタフェース手段と、前記中央処理装置が前記外部アドレス空間をアクセスしたことをトリガとし、中央処理装置によるその外部アドレス空間のアクセスに並行して当該アクセスデータを高速RAMに転送する制御を所定のアドレス範囲に対して行い、所定のアドレス範囲のアドレスに対する前記データ転送完了後における中央処理装置のアクセスが前記転送元データのアドレスであるとき当該アクセス対象を高速RAMに切換え制御する転送制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。
- 10 14. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる内蔵メモリと、当該内蔵メモリよりもアクセス動作の速い高速RAMと、前記中央処理装置をマイクロコンピュータの外部アドレス空間とインタフェースさせるインタフェース手段と、前記中央処理装置が内蔵メモリ又は前記外部アドレス空間をアクセスしたことをトリガとし、中央処理装置によるその内蔵メモリアクセス又は外部アドレス空間のアクセスに並行して当該アクセスデータを高速RAMに転送する制御を所定のアドレス範囲に対して行い、所定のアドレス範囲のアドレスに対する前記データ転送完了後における中央処理装置のアクセスが前記転送元データのアドレスであるとき当該アクセス対象を高速RAMに切換え制御する転送
- 15
- 20
- 25

制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。

15 15. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる内蔵メモリと、当該内蔵メモリよりもアクセス動作の速い高速RAMと、前記内蔵メモリから前記高速RAMへのデータ転送を行うデータ転送制御手段と、前記高速RAMに転送されたデータの転送元アドレスに対する中央処理装置のアクセスを前記高速RAMへのアクセスに切換え制御するアクセス切換え制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。

15 16. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる高速RAMと、前記中央処理装置をマイクロコンピュータの外部アドレス空間とインタフェースさせるインタフェース手段と、前記インタフェース手段に接続される外部メモリから前記高速RAMへのデータ転送を行うデータ転送制御手段と、前記高速RAMに転送されたデータの転送元アドレスに対する中央処理装置のアクセスを前記高速RAMへのアクセスに切換え制御するアクセス切換え制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。

20 17. 1個の半導体基板に形成されたマイクロコンピュータであって、中央処理装置と、該中央処理装置によってアクセスされる内蔵メモリと、当該内蔵メモリよりもアクセス動作の速い高速RAMと、前記中央処理装置をマイクロコンピュータの外部アドレス空間とインタフェースさせるインタフェース手段と、前記インタフェース手段に接続される外部メモリ又は前記内蔵メモリから前記高速RAMへのデータ転送を行うデータ転送制御手段と、前記高速RAMに転送されたデータの転送元ア

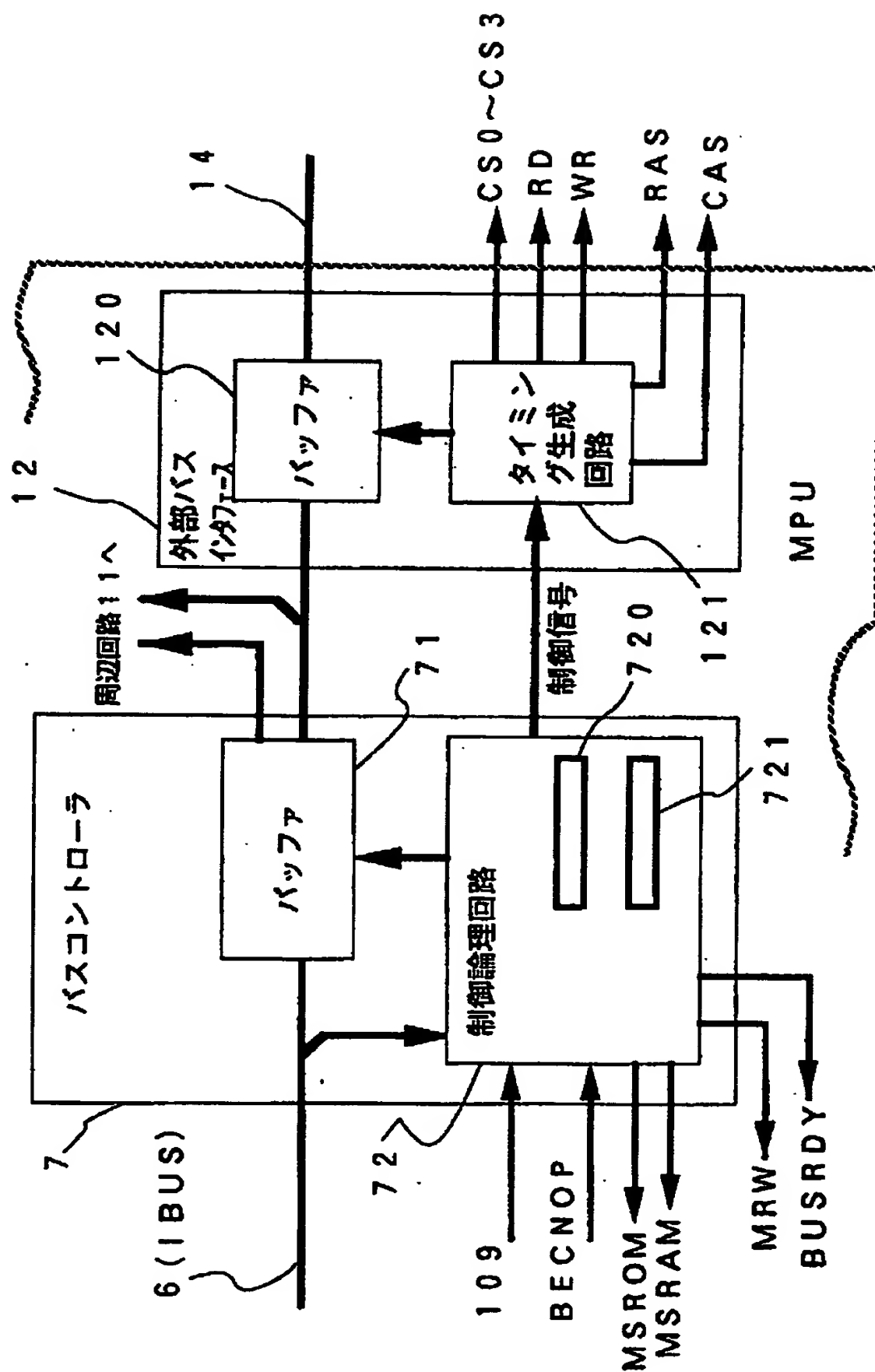
25

ドレスに対する中央処理装置のアクセスを前記高速RAMへのアクセスに切換え制御するアクセス切換え制御手段と、を含んで成るものであることを特徴とするマイクロコンピュータ。





第2図



第 3 図

●内蔵ROM有効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'0001 FFFF	内蔵ROM	内蔵ROMメモリ	128KB	32bit
H'0002 0000 ~ H'001F FFFF	予約	予約		
H'0020 0000 ~ H'003F FFFF	CS0空間	通常空間	2MB	8/16/32bit <sup>*1</sup>
H'0040 0000 ~ H'007F FFFF	CS1空間	通常空間	4MB	8/16/32bit <sup>*1</sup>
H'0080 0000 ~ H'00BF FFFF	CS2空間	通常空間	4MB	8/16/32bit <sup>*1</sup>
H'00C0 0000 ~ H'00FF FFFF	CS3空間	通常空間/ マルチプレクスI/O空間	4MB	8/16/32bit <sup>*2</sup>
H'0100 0000 ~ H'01FF FFFF	DRAM空間	DRAM	16MB	8/16/32bit <sup>*1</sup>
H'0200 0000 ~ H'FFFF 7FFF	予約	予約		
H'FFFF 8000 ~ H'FFFF BFFF	内蔵周辺モジュール	内蔵周辺モジュール	(2048B)	8/16bit
H'FFFF C000 ~ H'FFFF EFFF	予約	予約		
H'FFFF F000 ~ H'FFFF FFFF	内蔵RAM	内蔵RAM	4KB	32bit

\*1 内蔵レジスタの設定で選択  
\*2 通常空間時：内蔵レジスタの設定で選択  
    マルチプレクスI/O空間時：A14bitで8/16bitを選択  
\*3 モード端子で選択 112pin時 8/16bit  
                          144pin時 16/32bit

第 4 図

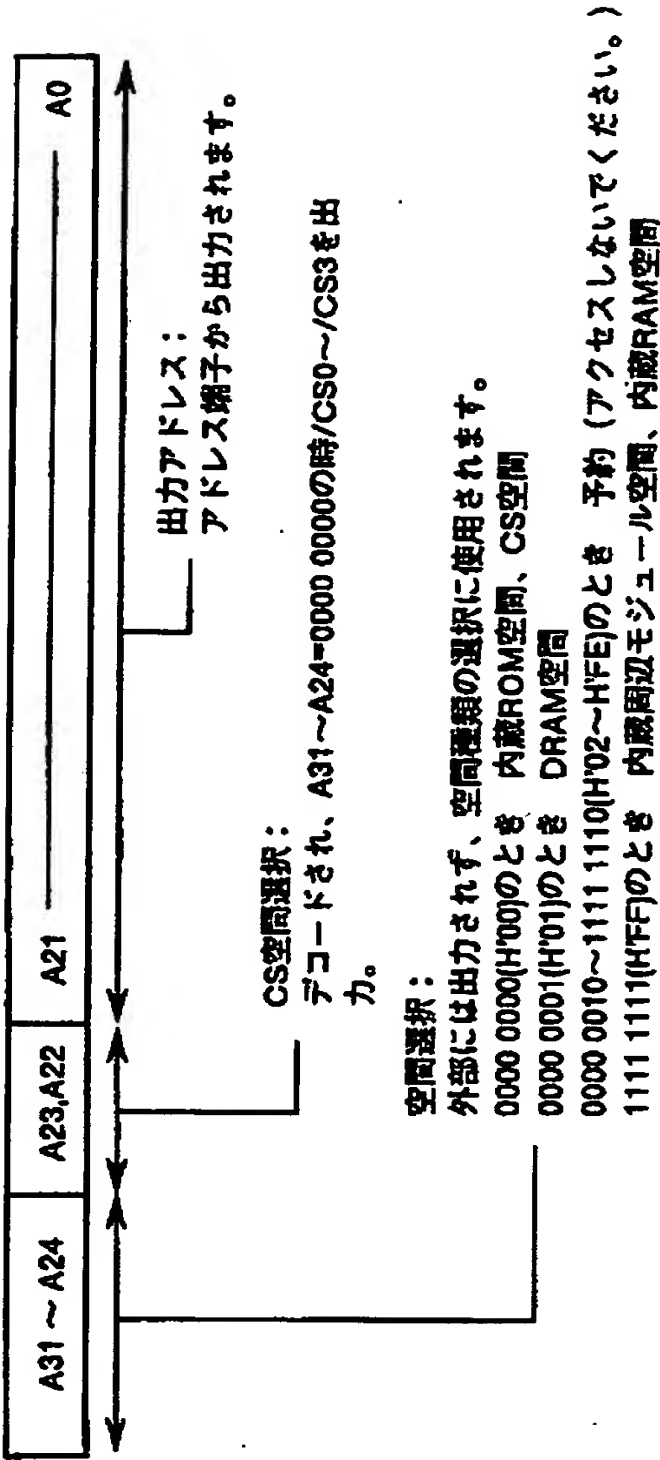
●内蔵ROM無効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000~H'003F FFFF	CS0空間	通常空間	4MB	8/16/32bit <sup>*3</sup>
H'0040 0000~H'007F FFFF	CS1空間	通常空間	4MB	8/16/32bit <sup>*1</sup>
H'0080 0000~H'00BF FFFF	CS2空間	通常空間	4MB	8/16/32bit <sup>*1</sup>
H'00C0 0000~H'00FF FFFF	CS3空間	通常空間/ マルチプレクスI/O空間	4MB	8/16/32bit <sup>*2</sup>
H'0100 0000~H'01FF FFFF	DRAM空間	DRAM	16MB	8/16/32bit <sup>*1</sup>
H'0200 0000~H'FFFF 7FFF	予約	予約		
H'FFFF 8000~H'FFFF BFFF	内蔵周辺モジュール	内蔵周辺モジュール	(2048B)	8/16bit
H'FFFF C000~H'FFFF EFFF	予約	予約		
H'FFFF F000~H'FFFF FFFF	内蔵RAM	内蔵RAM	4KB	32bit

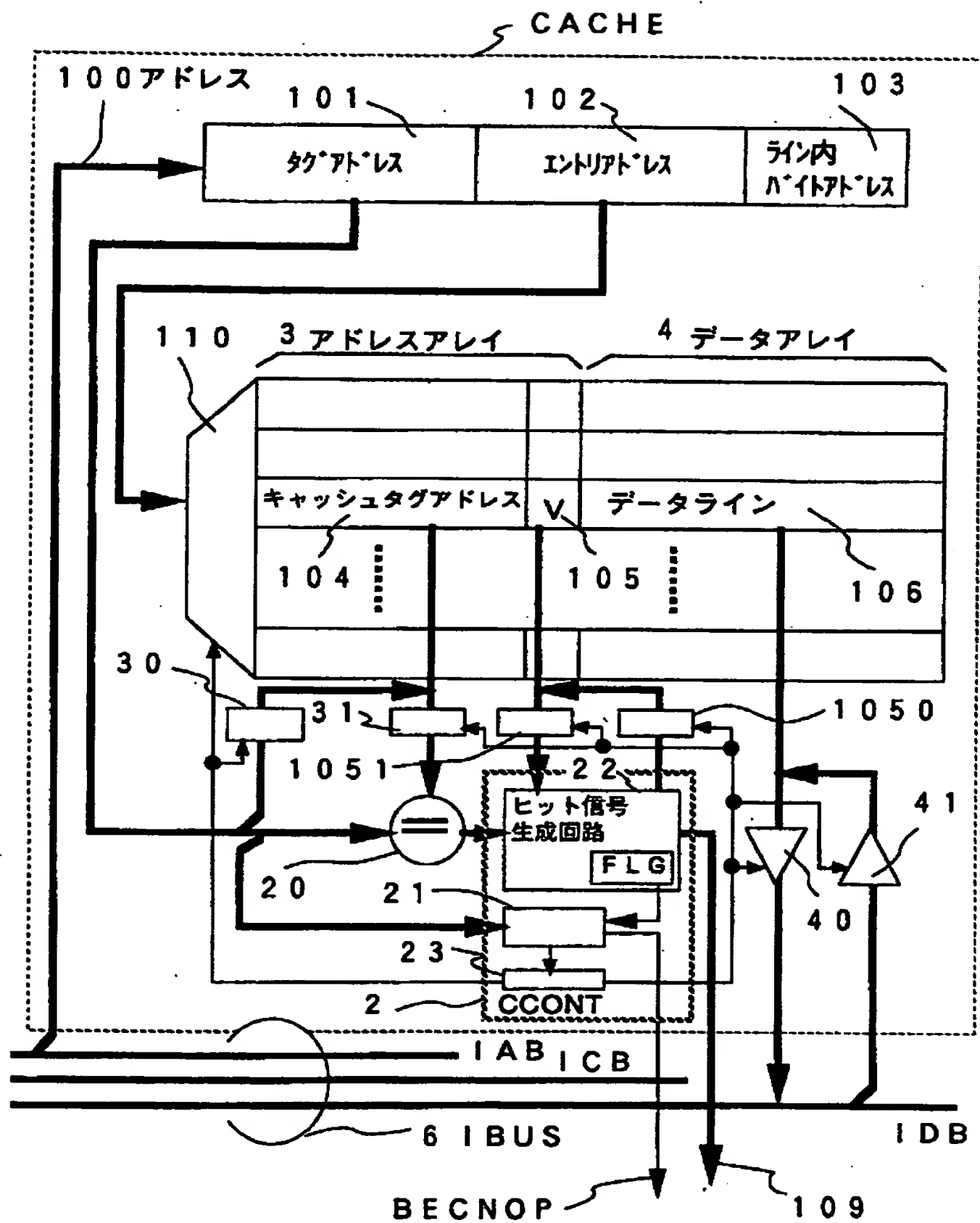
- \*1 内蔵レジスタの設定で選択
- \*2 通常空間時：内蔵レジスタの設定で選択  
マルチプレクスI/O空間時：A14bitで8/16bitを選択
- \*3 モード端子で選択 112pin時 8/16bit  
144pin時 16/32bit

第 5 図

アドレスマップ

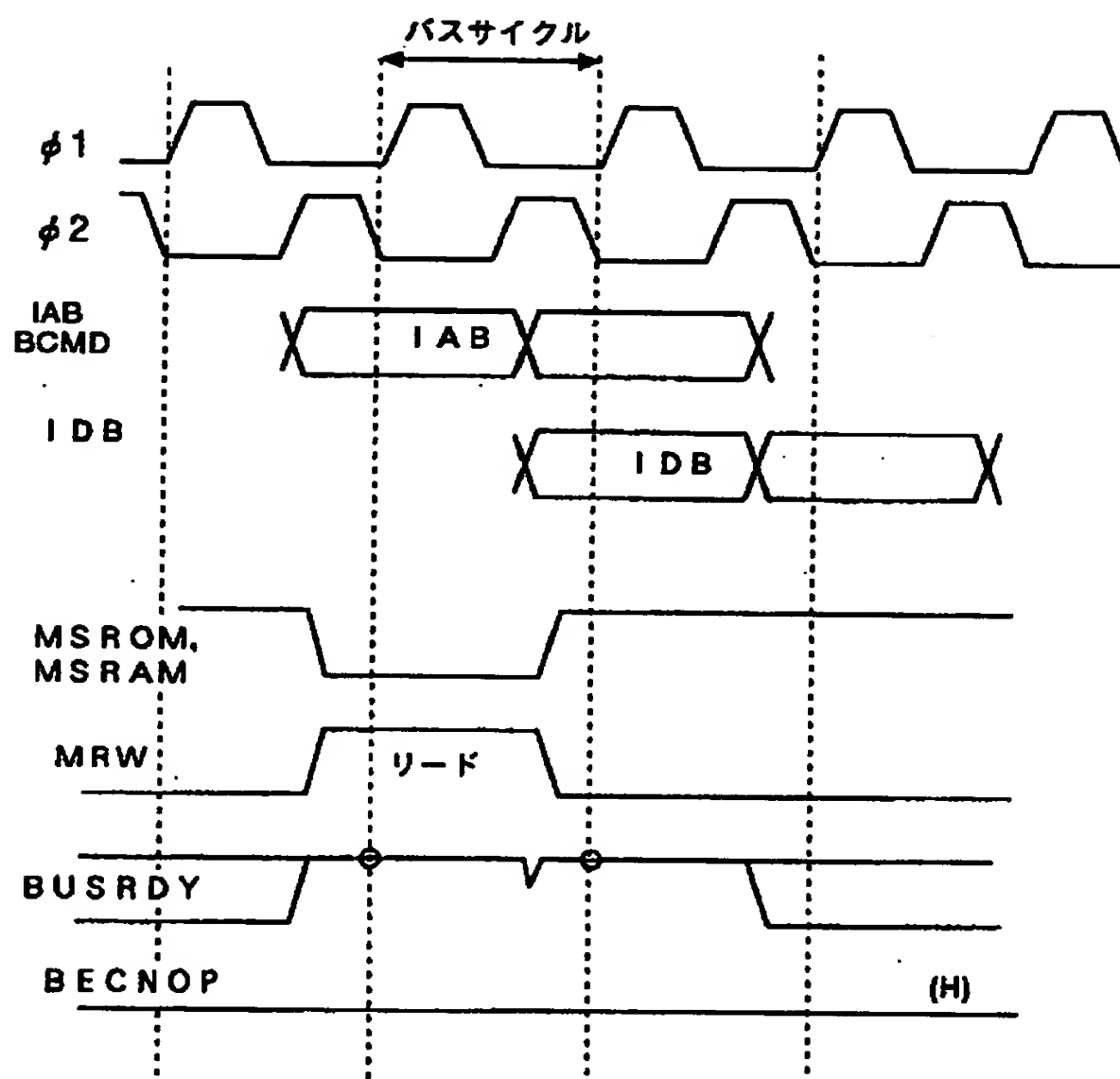


第 6 図



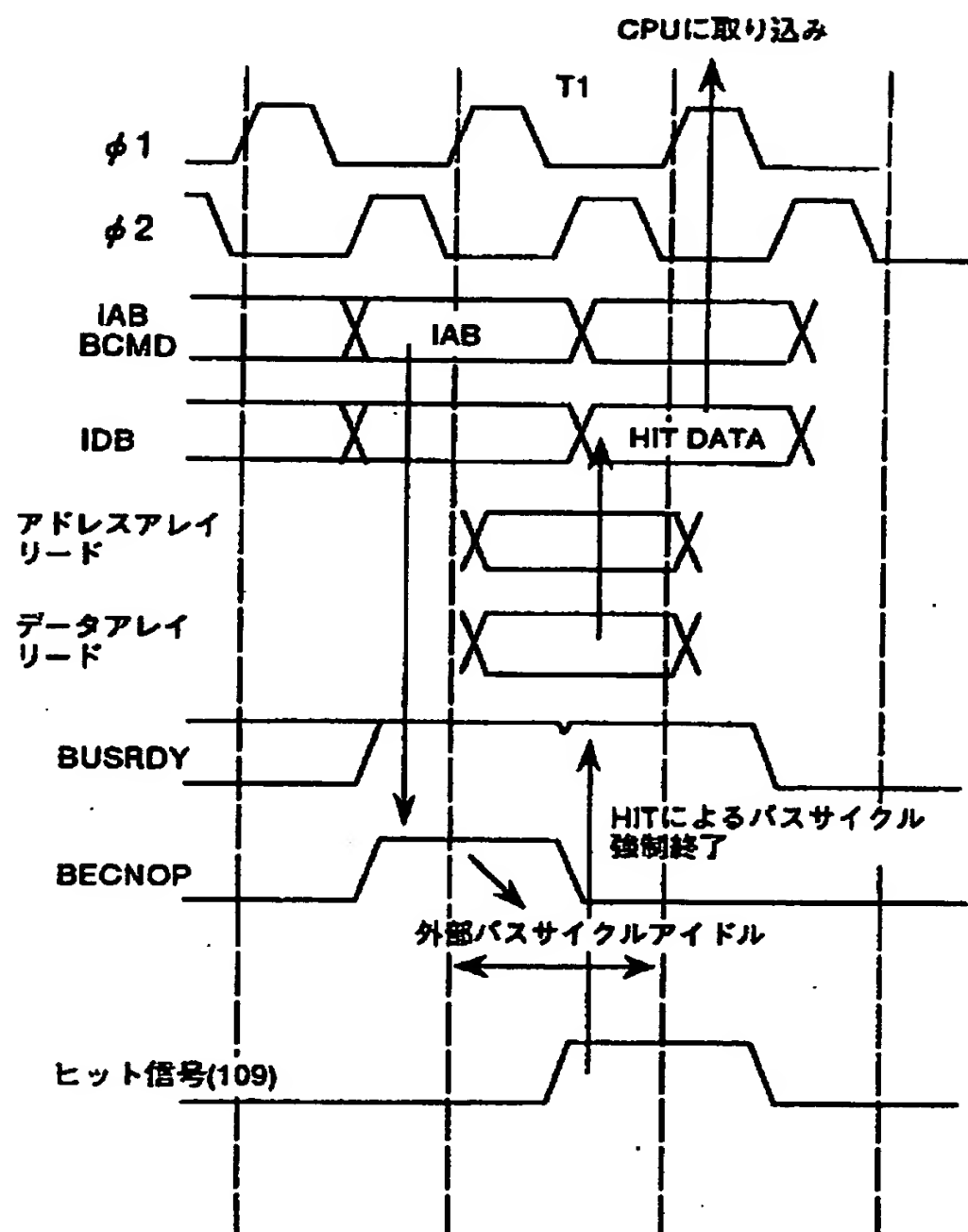
## 第 7 図

内蔵ROM, RAMアクセス



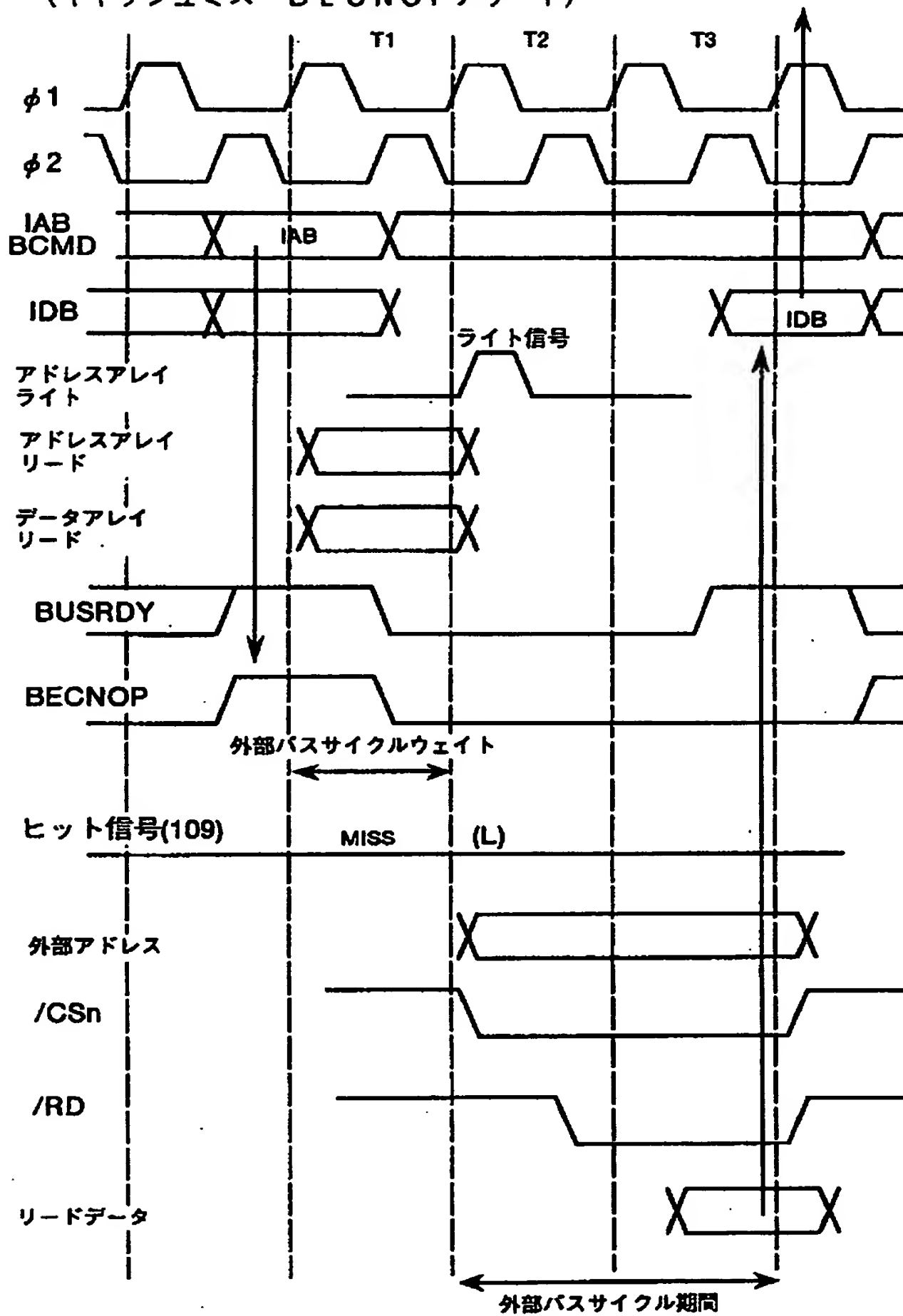
## 第 8 図

キャッシュタイミング  
(キャッシュヒット・BECNOPアサート)



9 / 4 1

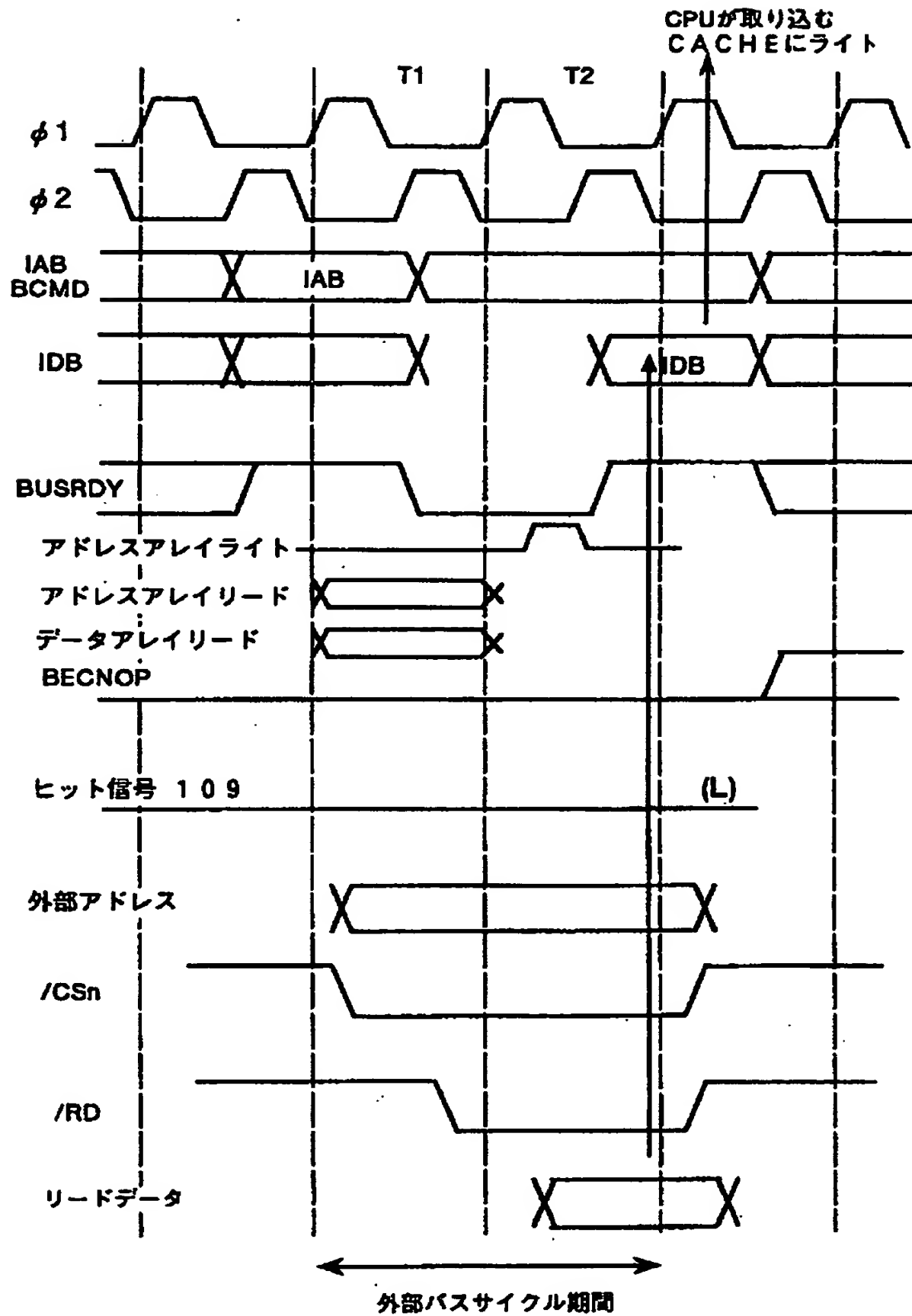
## 第9図

キャッシュタイミング  
(キャッシュミス・BECNOPアサート)CPUが取り込むのと同時に  
CACHEにライト



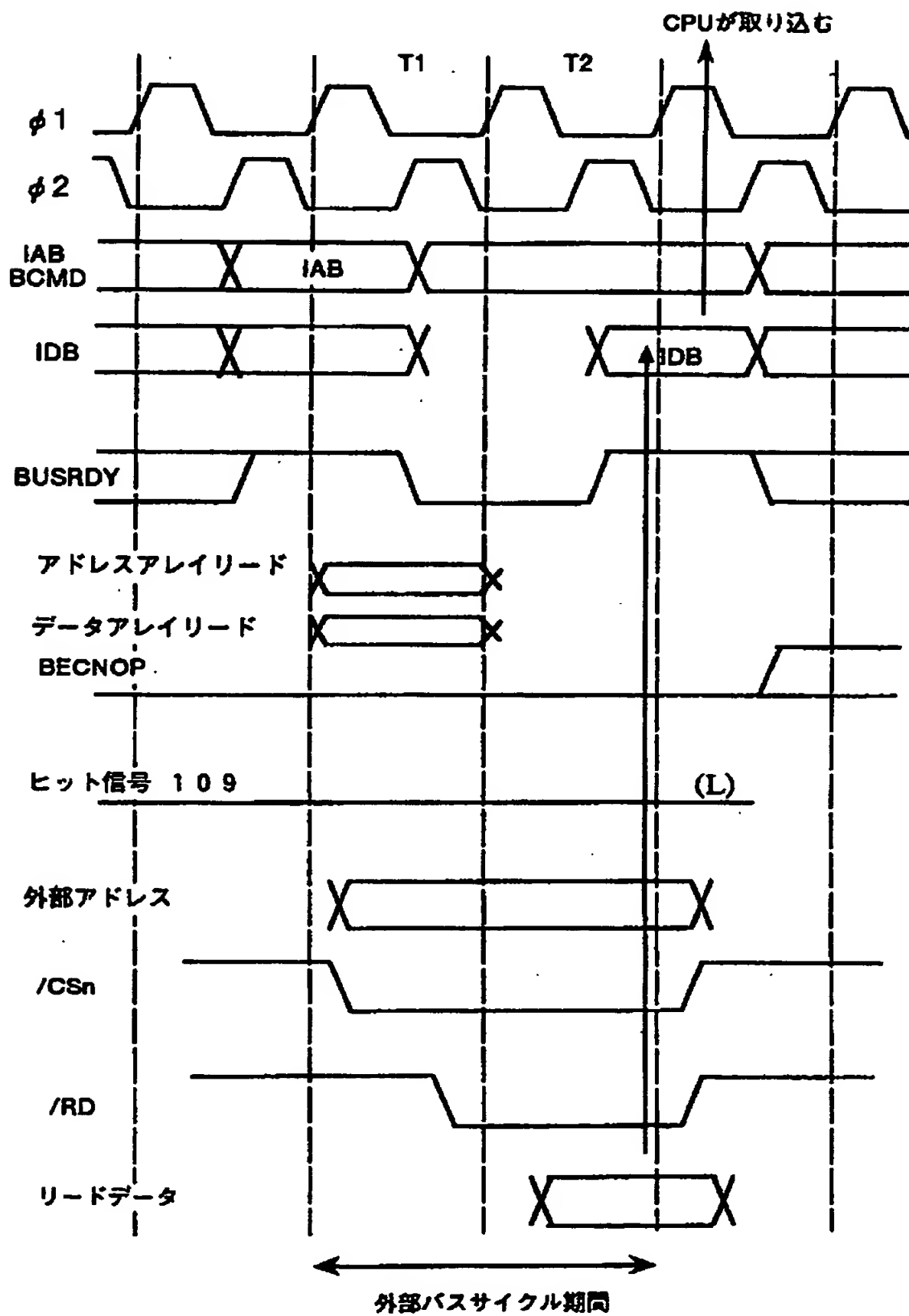
10/41

## 第10図

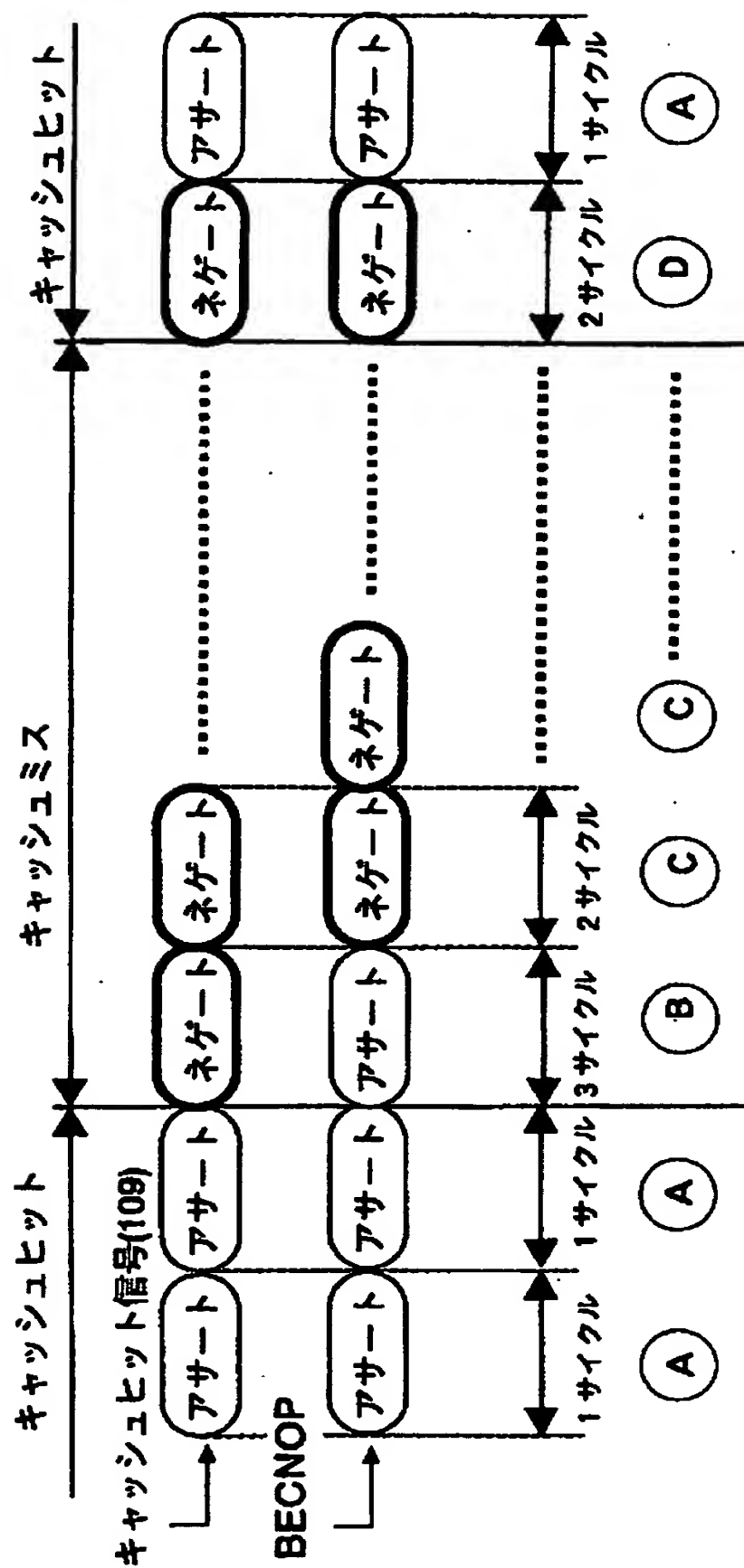
キャッシュタイミング  
(キャッシュミス・BECNOPネゲート)

11/41

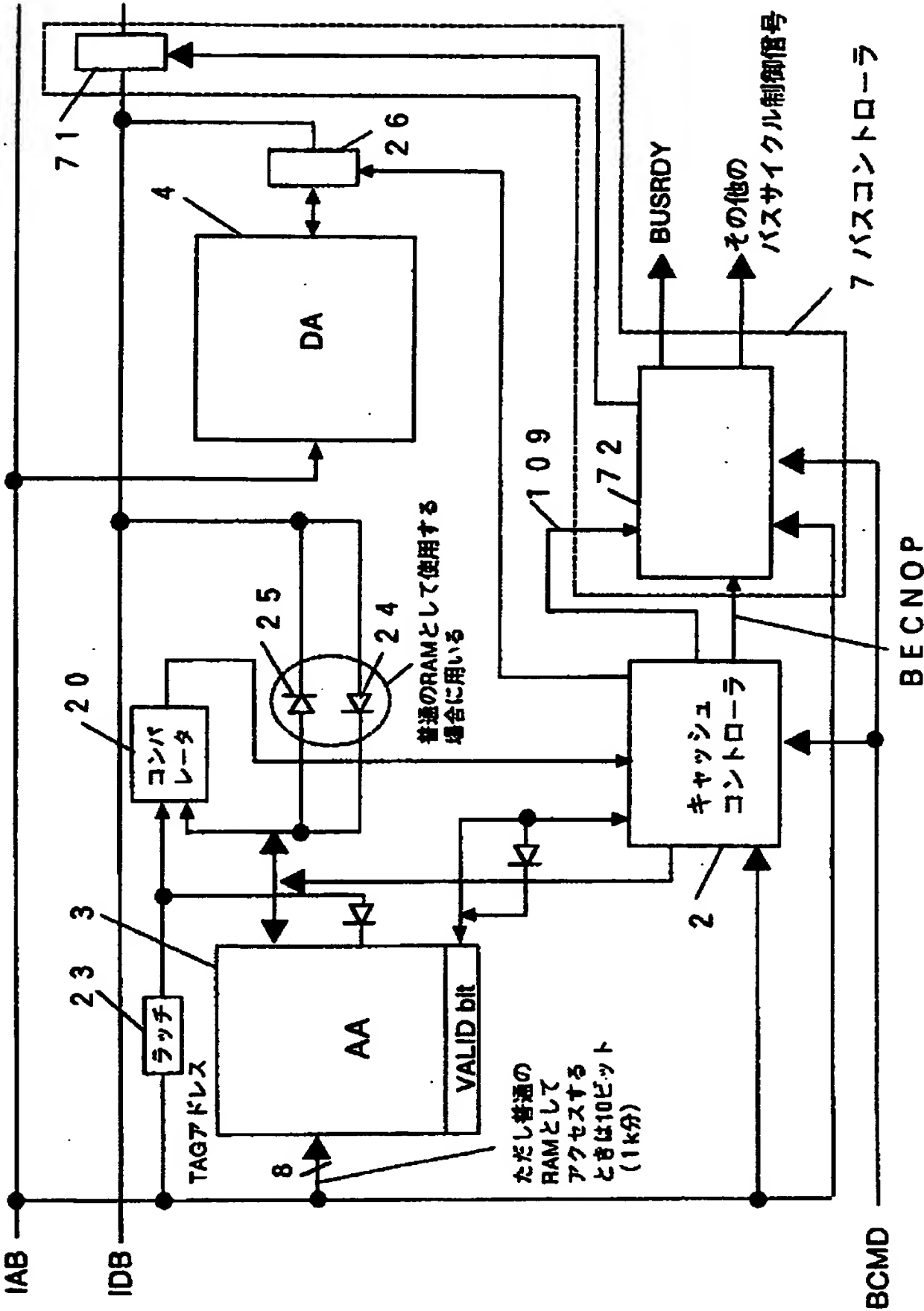
## 第11図

キャッシュタイミング  
(キャッシュヒット・BECNOPネゲート)

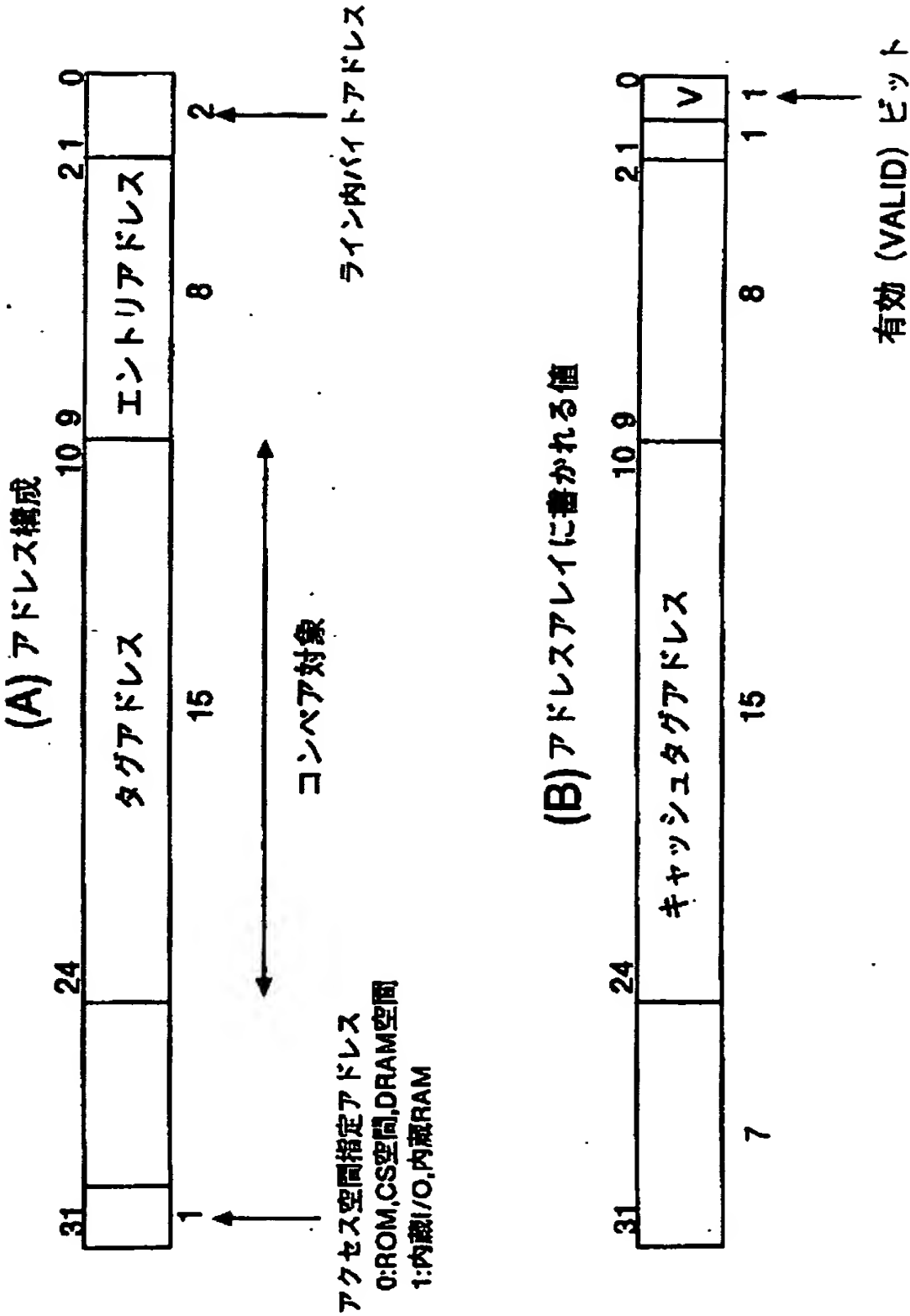
第12図



第13図

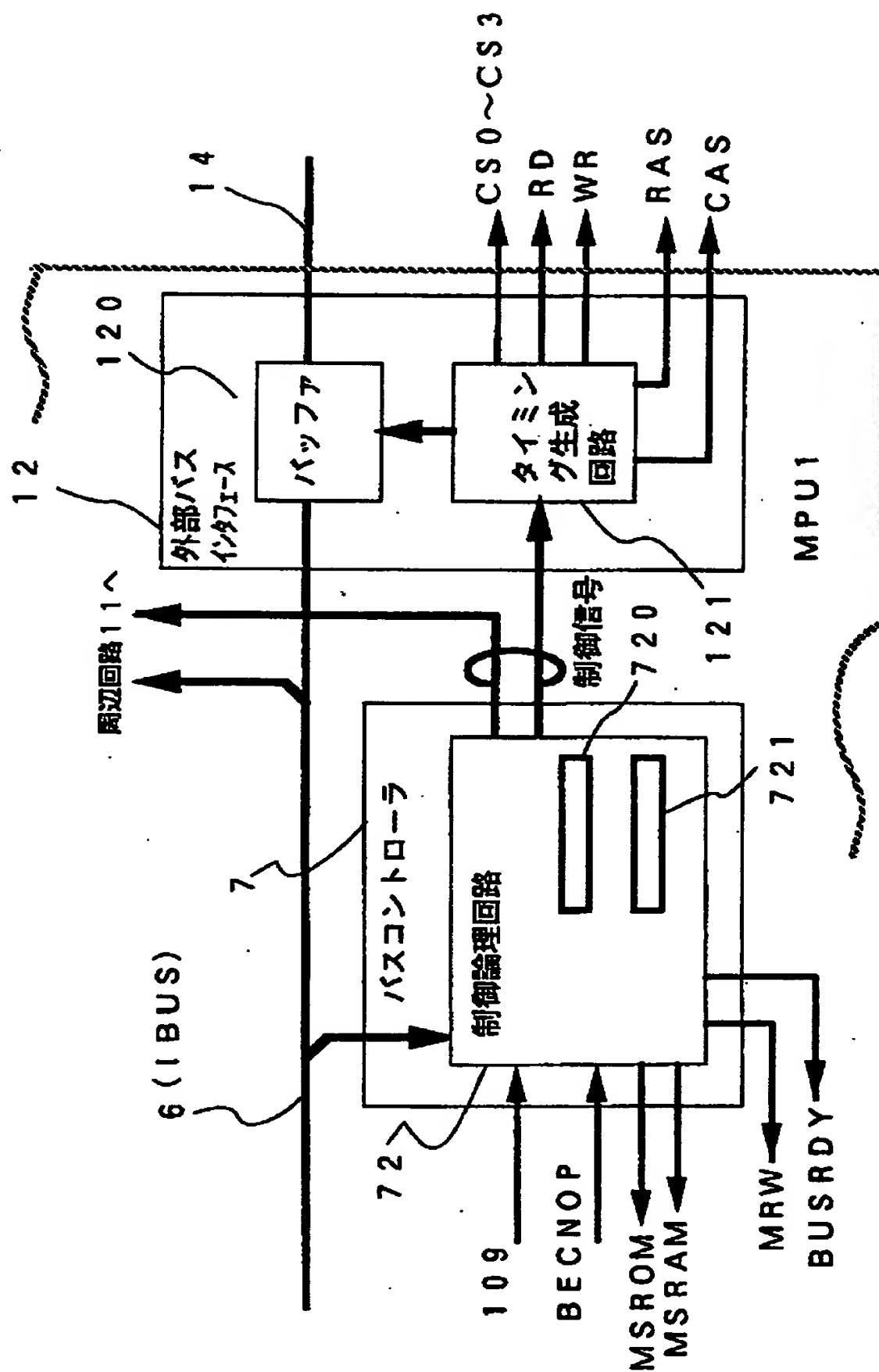


第 1 4 図

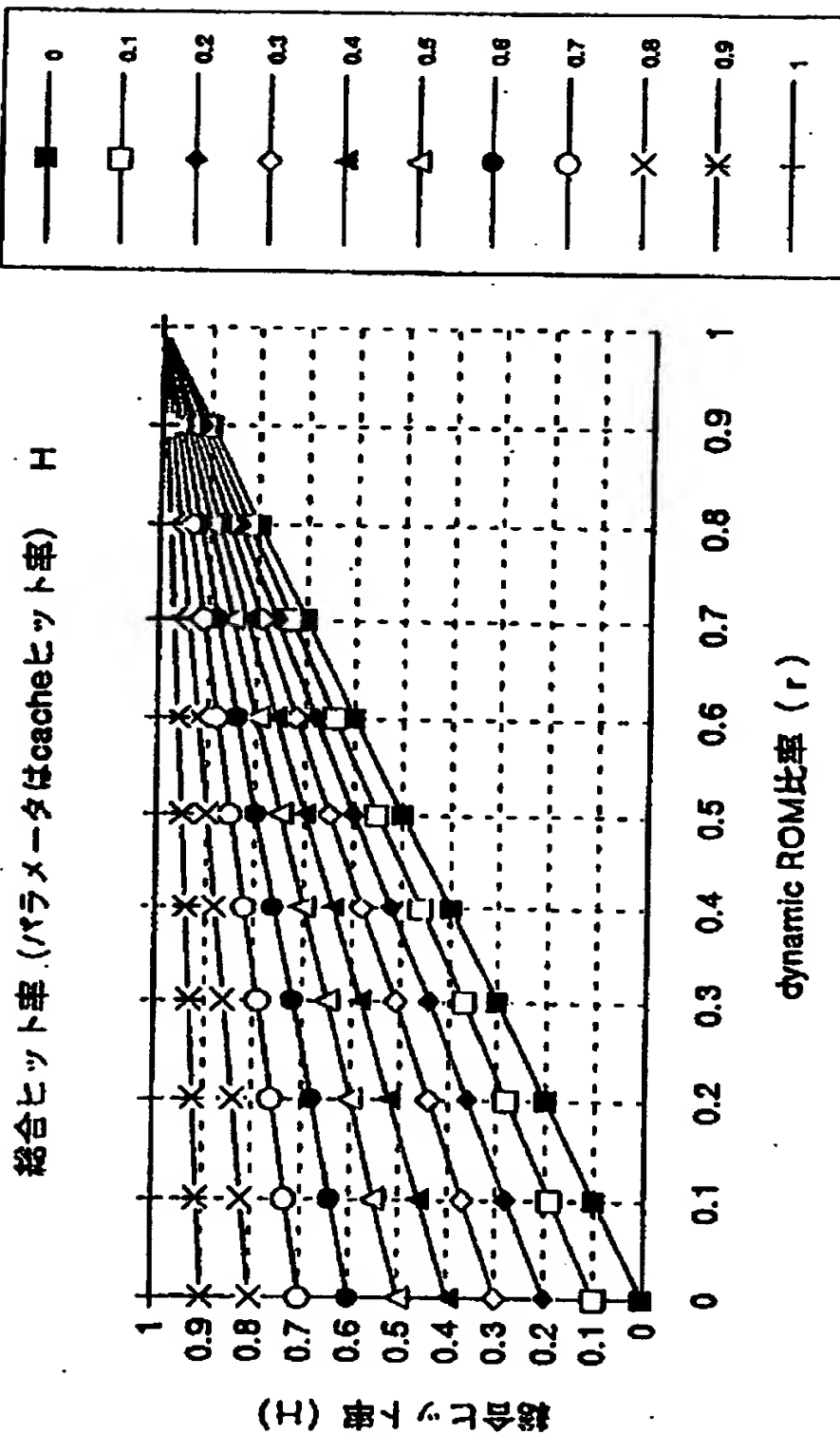




第16図



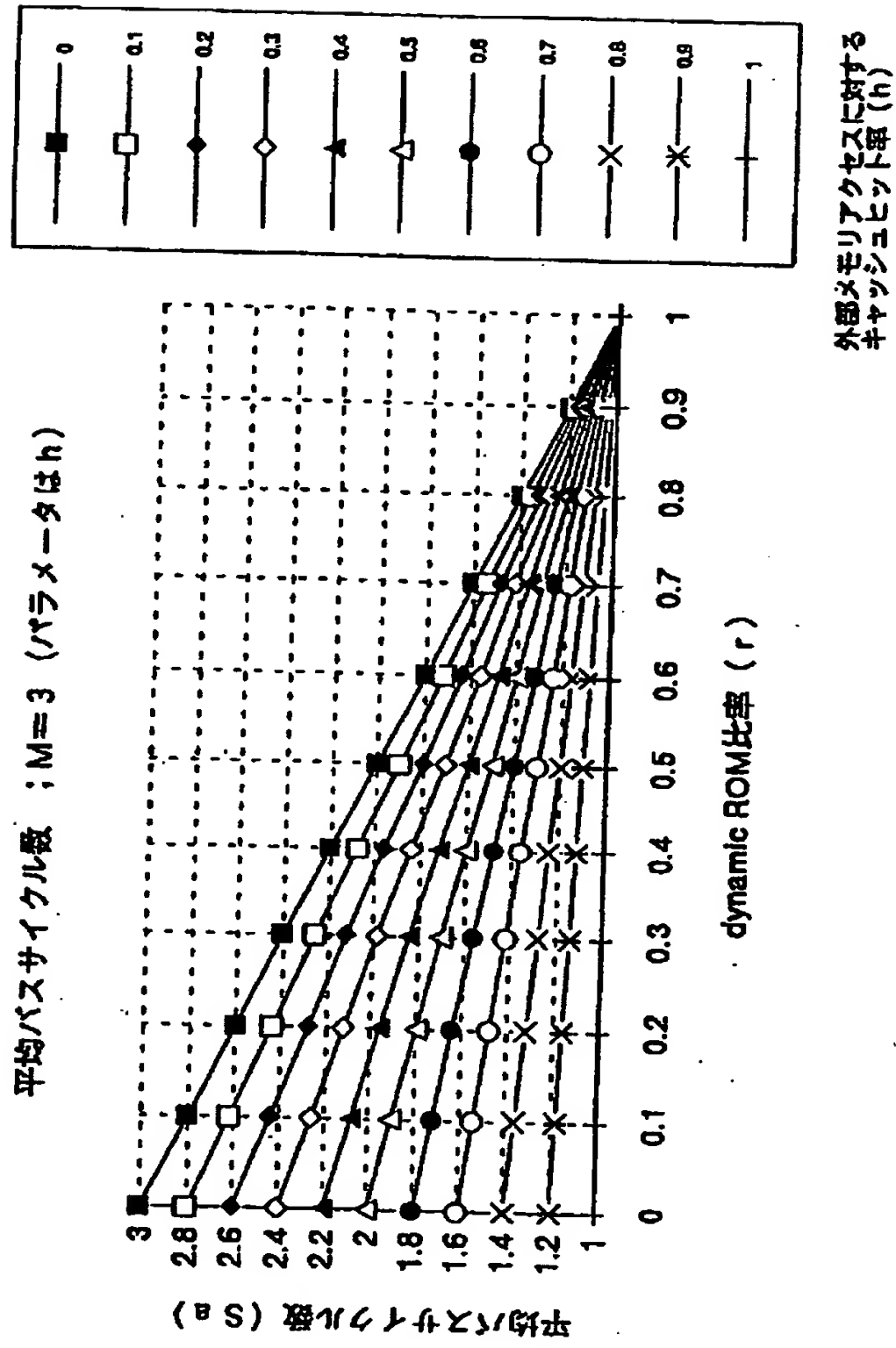
第17図





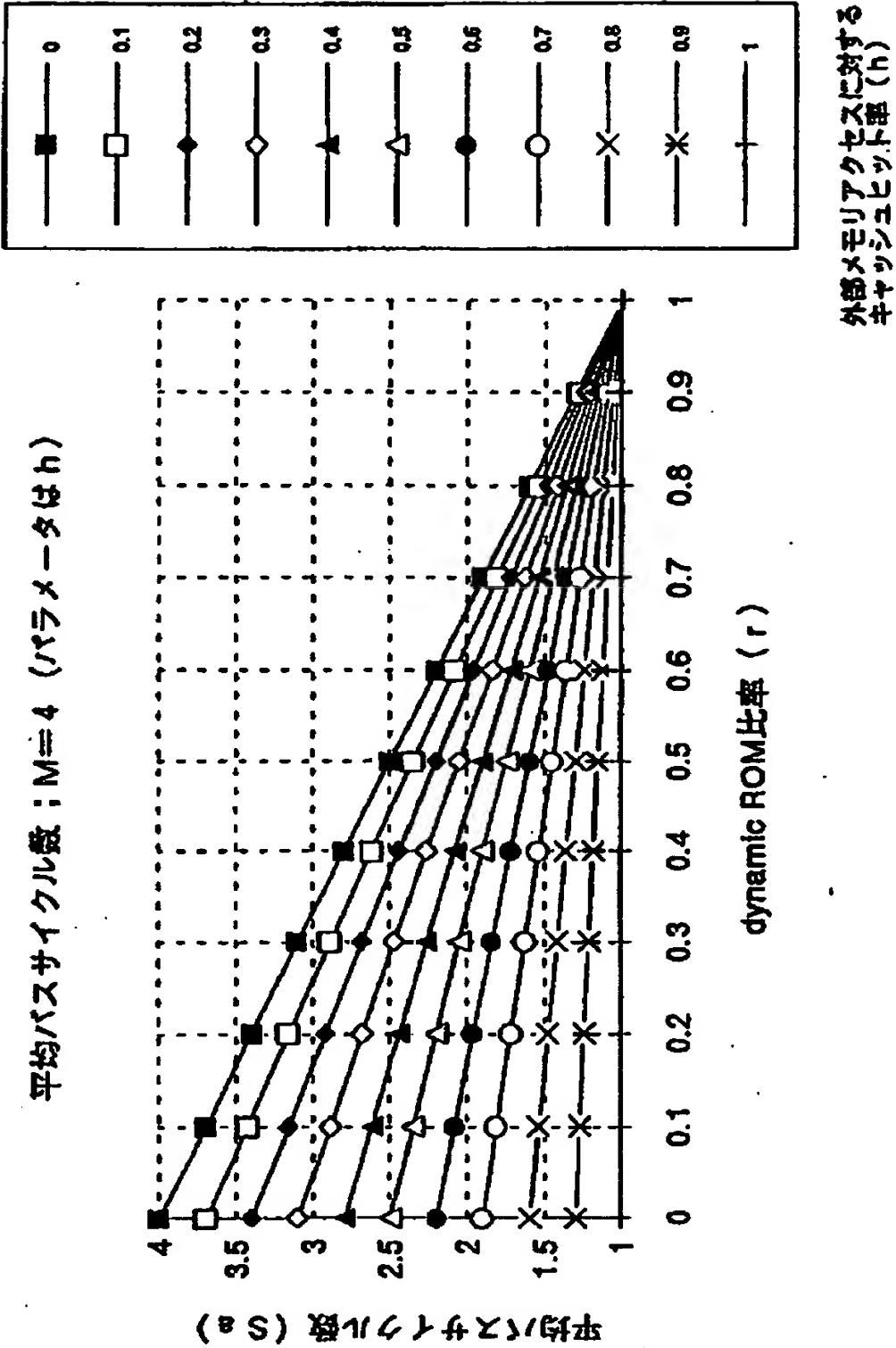


第19図





第21図





2 3 / 4 1

第 2 3 図

Instruction cache miss rate (1-h) cache size(/ $\times$ イ ト)		(A)										(B)									
		full line(/ $\times$ イ ト)					full					4way line					4way				
		4	8	16	32	64	128					4	8	16	32	64	128				
32		0.7	0.45	0.3	0.25	-	-					0.735	0.4725	0.315	0.2625	# # #	# # #				
64		0.6	0.4	0.25	0.2	0.2	-					0.63	0.42	0.2625	0.21	0.21	# # #				
128		0.55	0.35	0.22	0.15	0.15	0.015					0.5775	0.3675	0.231	0.1575	0.1575	0.0158				
256		0.45	0.3	0.2	0.12	0.1	0.1					0.4725	0.315	0.21	0.126	0.105	0.105				
512		0.4	0.25	0.15	0.1	0.07	0.062					0.42	0.2625	0.1575	0.105	0.0735	0.0651				
1024		0.3	0.2	0.11	0.075	0.055	0.045					0.315	0.21	0.1155	0.0788	0.0578	0.0473				
2048		0.2	0.12	0.08	0.052	0.035	0.03					0.21	0.126	0.084	0.0546	0.0368	0.0315				
4096		0.15	0.09	0.05	0.035	0.021	0.02					0.1575	0.0945	0.0525	0.0368	0.0221	0.021				
8192		0.1	0.06	0.04	0.022	0.015	0.011					0.105	0.063	0.042	0.0231	0.0158	0.0116				
16384		0.1	0.06	0.035	0.02	0.012	0.0085					0.105	0.063	0.0368	0.021	0.0126	0.0089				
32768		0.1	0.06	0.035	0.02	0.012	0.008					0.105	0.063	0.0368	0.021	0.0126	0.0084				

miss rate (1-h) cache size(/ $\times$ イ ト)		(C)										(D)									
		2way line					2way					direct line					direct				
		4	8	16	32	64	128					4	8	16	32	64	128				
32		0.8085	0.5198	0.3465	0.2888	# # #	# # #					1.0511	0.6757	0.4505	0.3754	# # #	# # #				
64		0.693	0.462	0.2888	0.231	0.231	# # #					0.9009	0.6006	0.3754	0.3003	0.3003	# # #				
128		0.6353	0.4043	0.2541	0.1733	0.1733	0.0173					0.8258	0.5255	0.3303	0.2252	0.2252	0.0225				
256		0.5198	0.3465	0.231	0.1386	0.1155	0.1155					0.6757	0.4505	0.3003	0.1802	0.1502	0.1502				
512		0.462	0.2888	0.1733	0.1155	0.0809	0.0716					0.6006	0.3754	0.2252	0.1502	0.1051	0.0931				
1024		0.3465	0.231	0.1271	0.0866	0.0635	0.052					0.4505	0.3003	0.1652	0.1126	0.0826	0.0676				
2048		0.231	0.1386	0.0924	0.0601	0.0404	0.0347					0.3003	0.1802	0.1201	0.0781	0.0526	0.045				
4096		0.1733	0.104	0.0578	0.0404	0.0243	0.0231					0.2252	0.1351	0.0751	0.0526	0.0315	0.03				
8192		0.1155	0.0693	0.0462	0.0254	0.0173	0.0127					0.1502	0.0901	0.0601	0.033	0.0225	0.0165				
16384		0.1155	0.0693	0.0404	0.0231	0.0139	0.0098					0.1502	0.0901	0.0526	0.03	0.018	0.0128				
32768		0.1155	0.0693	0.0404	0.0231	0.0139	0.0092					0.1502	0.0901	0.0526	0.03	0.018	0.012				

圖 42 無

第 2 4 図

(B)

(A)

r for rth-rh  
cache  
size(バイト)

rth-rh = 0.9  
line(バイト)

line

full

4way

	4	8	16	32	64	128		4	8	16	32	64	128
32	0.8571	0.7778	0.6667	0.5	# # #	# # #		0.8639	0.7884	0.6825	0.519	# # #	# # #
64	0.8333	0.75	0.6	0.5	0.5	# # #		0.8413	0.7619	0.619	0.5238	0.5238	# # #
128	0.8182	0.7143	0.5455	0.3333	0.3333	-5.667		0.8268	0.7279	0.5671	0.3651	0.3651	-5.349
256	0.7778	0.6667	0.5	0.1667	0	0		0.7884	0.6825	0.5238	0.2063	0.0476	0.0476
512	0.75	0.6	0.3333	0	-0.429	-0.613		0.7619	0.619	0.3651	0.0476	-0.361	-0.536
1024	0.6667	0.5	0.0909	-0.333	-0.818	-1.222		0.6825	0.5238	0.1342	-0.27	-0.732	-1.116
2048	0.5	0.1667	-0.25	-0.923	-1.857	-2.333		0.5238	0.2063	-0.19	-0.832	-1.721	-2.175
4096	0.3333	-0.111	-1	-1.857	-3.762	-4		0.3651	-0.058	-0.905	-1.721	-3.535	-3.762
8192	0	-0.667	-1.5	-3.545	-5.667	-8.091		0.0476	-0.587	-1.381	-3.329	-5.349	-7.658
16384	0	-0.667	-1.857	-4	-7.333	-10.76		0.0476	-0.587	-1.721	-3.762	-6.937	-10.2
32768	0	-0.667	-1.857	-4	-7.333	-11.5		0.0476	-0.587	-1.721	-3.762	-6.937	-10.9

(C)

(D)

cache  
size(バイト)

line

2way

line

direct

	4	8	16	32	64	128		4	8	16	32	64	128
32	0.8763	0.8076	0.7114	0.6537	# # #	# # #		0.9049	0.852	0.778	0.7336	# # #	# # #
64	0.8557	0.7835	0.6537	0.5671	0.5671	# # #		0.889	0.8335	0.7336	0.667	0.667	# # #
128	0.8426	0.7526	0.6065	0.4228	0.4228	-4.772		0.8789	0.8097	0.6973	0.556	0.556	-3.44
256	0.8076	0.7114	0.5671	0.2785	0.1342	0.1342		0.852	0.778	0.667	0.445	0.334	0.334
512	0.7835	0.6537	0.4228	0.1342	-0.237	-0.396		0.8335	0.7336	0.556	0.334	0.0486	-0.074
1024	0.7114	0.5671	0.2129	-0.154	-0.574	-0.924		0.778	0.667	0.3945	0.112	-0.211	-0.48
2048	0.5671	0.2785	-0.082	-0.665	-1.474	-1.886		0.667	0.445	0.1675	-0.281	-0.903	-1.22
4096	0.4228	0.038	-0.732	-1.474	-3.123	-3.329		0.556	0.26	-0.332	-0.903	-2.171	-2.33
8192	0.1342	-0.443	-1.165	-2.935	-4.772	-6.871		0.334	-0.11	-0.665	-2.027	-3.44	-5.055
16384	0.1342	-0.443	-1.474	-3.329	-6.215	-9.186		0.334	-0.11	-0.903	-2.33	-4.55	-6.835
32768	0.1342	-0.443	-1.474	-3.329	-6.215	-9.823		0.334	-0.11	-0.903	-2.33	-4.55	-7.325

25 / 41

## 第25図

第 2 5 図

R-PRG cache size(バイト)	PRG= 512 line(バイト)							(A)												(B)											
	line(バイト)							line												line											
	4	8	16	32	64	128	full	4	8	16	32	64	128	4	8	16	32	64	128	4way											
32	438.86	398.22	341.33	307.2	256	256	256	442.34	403.64	349.46	316.95	268.19	256	442.34	403.64	349.46	316.95	268.19	256	442.34	403.64	349.46	316.95	268.19	256						
64	426.67	384	307.2	256	256	256	256	430.73	390.1	316.95	268.19	256	256	430.73	390.1	316.95	268.19	256	256	430.73	390.1	316.95	268.19	256	256						
128	418.91	365.71	279.27	170.67	170.67	170.67	-2901	423.34	372.68	290.35	186.92	186.92	-2739	423.34	372.68	290.35	186.92	186.92	-2739	423.34	372.68	290.35	186.92	186.92	-2739						
256	398.22	341.33	256	85.333	0	0	0	403.64	349.46	268.19	105.65	24.381	24.381	403.64	349.46	268.19	105.65	24.381	24.381	403.64	349.46	268.19	105.65	24.381	24.381						
512	384	307.2	170.67	0	-219.4	-313.8	-313.8	390.1	316.95	186.92	24.381	-184.6	-274.5	390.1	316.95	186.92	24.381	-184.6	-274.5	390.1	316.95	186.92	24.381	-184.6	-274.5						
1024	341.33	256	46.545	-170.7	-418.9	-625.8	-625.8	349.46	268.19	68.71	-138.2	-374.6	-571.6	349.46	268.19	68.71	-138.2	-374.6	-571.6	349.46	268.19	68.71	-138.2	-374.6	-571.6						
2048	256	85.333	-128	-472.6	-950.9	-1195	-1195	268.19	105.65	-97.52	-425.7	-881.2	-1113	268.19	105.65	-97.52	-425.7	-881.2	-1113	268.19	105.65	-97.52	-425.7	-881.2	-1113						
4096	170.67	-56.89	-512	-950.9	-1926	-2048	-2048	186.92	-29.8	-463.2	-881.2	-1926	-1926	186.92	-29.8	-463.2	-881.2	-1926	-1926	186.92	-29.8	-463.2	-881.2	-1926	-1926						
8192	0	-341.3	-768	-1815	-2901	-4143	-4143	24.381	-300.7	-707	-1704	-2739	-3921	24.381	-300.7	-707	-1704	-2739	-3921	24.381	-300.7	-707	-1704	-2739	-3921						
16384	0	-341.3	-950.9	-2048	-3755	-5512	-5512	24.381	-300.7	-881.2	-1926	-3551	-5225	24.381	-300.7	-881.2	-1926	-3551	-5225	24.381	-300.7	-881.2	-1926	-3551	-5225						
32768	0	-341.3	-950.9	-2048	-3755	-5888	-5888	24.381	-300.7	-881.2	-1926	-3551	-5583	24.381	-300.7	-881.2	-1926	-3551	-5583	24.381	-300.7	-881.2	-1926	-3551	-5583						

cache size(バイト)	(C)							(D)																	
	line							line																	
	4	8	16	32	64	128	2way	4	8	16	32	64	128	4	8	16	32	64	128	direct					
32	448.67	413.49	364.24	334.68	290.35	256	256	463.29	436.22	398.34	375.6	341.5	341.5	463.29	436.22	398.34	375.6	341.5	341.5	463.29	436.22	398.34	375.6	341.5	341.5
64	438.12	401.18	334.68	290.35	256	256	256	455.17	426.75	375.6	341.5	341.5	341.5	455.17	426.75	375.6	341.5	341.5	341.5	455.17	426.75	375.6	341.5	341.5	341.5
128	431.4	385.35	310.5	216.47	216.47	-2443	-2443	450	414.57	357	284.67	284.67	-1761	450	414.57	357	284.67	284.67	-1761	450	414.57	357	284.67	284.67	-1761
256	413.49	364.24	290.35	142.59	68.71	68.71	68.71	436.22	398.34	341.5	227.84	171.01	171.01	436.22	398.34	341.5	227.84	171.01	171.01	436.22	398.34	341.5	227.84	171.01	171.01
512	401.18	334.68	216.47	68.71	-121.3	-203	-203	426.75	375.6	284.67	171.01	24.868	-37.99	426.75	375.6	284.67	171.01	24.868	-37.99	426.75	375.6	284.67	171.01	24.868	-37.99
1024	364.24	290.35	109.01	-79.05	-294	-473.1	-473.1	398.34	341.5	202.01	57.344	-108	-245.8	398.34	341.5	202.01	57.344	-108	-245.8	398.34	341.5	202.01	57.344	-108	-245.8
2048	290.35	142.59	-42.11	-340.5	-754.5	-965.6	-965.6	341.5	227.84	85.76	-143.8	-462.3	-624.6	341.5	227.84	85.76	-143.8	-462.3	-624.6	341.5	227.84	85.76	-143.8	-462.3	-624.6
4096	216.47	19.456	-374.6	-754.5	-1599	-1704	-1704	284.67	133.12	-170	-462.3	-1112	-1193	284.67	133.12	-170	-462.3	-1112	-1193	284.67	133.12	-170	-462.3	-1112	-1193
8192	68.71	-226.8	-596.2	-1503	-2443	-3518	-3518	171.01	-56.32	-340.5	-1038	-1761	-2588	171.01	-56.32	-340.5	-1038	-1761	-2588	171.01	-56.32	-340.5	-1038	-1761	-2588
16384	68.71	-226.8	-754.5	-1704	-3182	-4703	-4703	171.01	-56.32	-462.3	-1193	-2330	-3500	171.01	-56.32	-462.3	-1193	-2330	-3500	171.01	-56.32	-462.3	-1193	-2330	-3500
32768	68.71	-226.8	-754.5	-1704	-3182	-5029	-5029	171.01	-56.32	-462.3	-1193	-2330	-3750	171.01	-56.32	-462.3	-1193	-2330	-3750	171.01	-56.32	-462.3	-1193	-2330	-3750



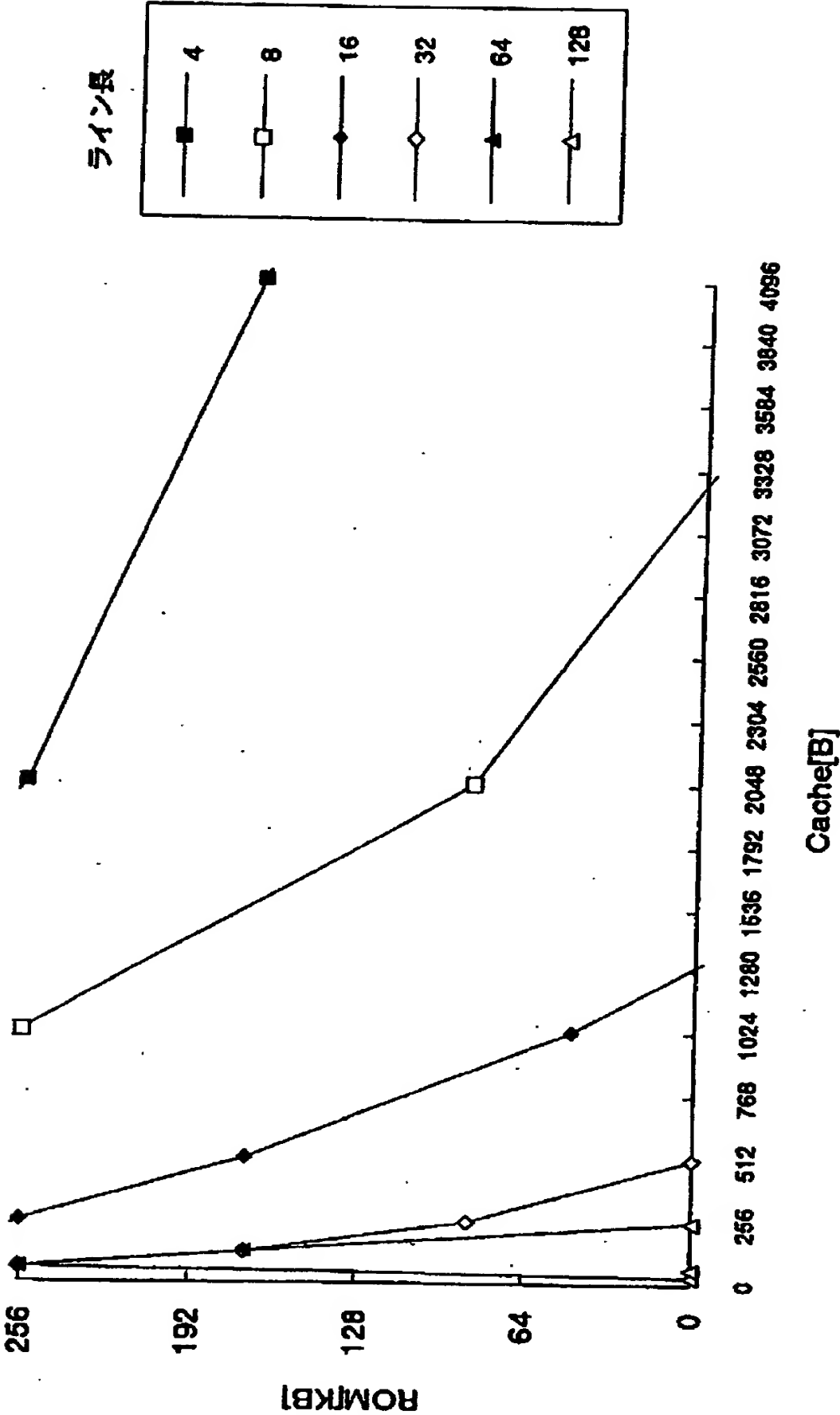
第26図

C+gR=b	(A)										(B)									
	llne					full					llne					4way				
	4	8	16	32	64	128	4	8	16	32	64	128	4	8	16	32	64	128	4	8
C1	2048	1024	256	64	64		2048	1024	256	64	64		2048	1024	256	64	64			
C2	4096	3328	1280	512	256		4096	3584	1536	512	256		4096	3584	1536	512	256			
R1	256	256	256	256	256		268.2	256	256	268.2	256		268.2	256	256	268.2	256			
R2	170.7	0	0	0	0		186.9	0	0	0	0		186.9	0	0	24.38	24.38			
a	24.009	9	4	1.75	0.75	###	25.191	10	5	1.8374	0.7875	###	25.191	10	5	1.8374	0.7875	###		
b	8194.4	3328	1280	512	256	###	8804.1	3584	1536	556.8	275.2	###	8804.1	3584	1536	556.8	275.2	###		

C1	(C)										(D)									
	llne					2way					llne					direct				
	4	8	16	32	64	128	4	8	16	32	64	128	4	8	16	32	64	128	4	8
C1	2816	4096	384	64	64		4096	1792	768	256	128		4096	1792	768	256	128			
C2	4096	1280	1792	512	256		2048	4096	2816	1280	512		2048	4096	2816	1280	512			
R1	256	19.46	256	290.4	290.4		284.7	256	256	256	284.7		284.7	256	256	256	284.7			
R2	216.5	256	0	68.71	68.71		341.5	133.1	0	0	24.87		341.5	133.1	0	0	24.87			
a	32.405	11.905	5.5	2.0208	0.8661	###	36.056	18.747	8	4	1.4779	###	36.056	18.747	8	4	1.4779	###		
b	11112	4327.7	1792	650.85	315.51	###	14361	6591.2	2816	1280	548.76	###	14361	6591.2	2816	1280	548.76	###		

第27図

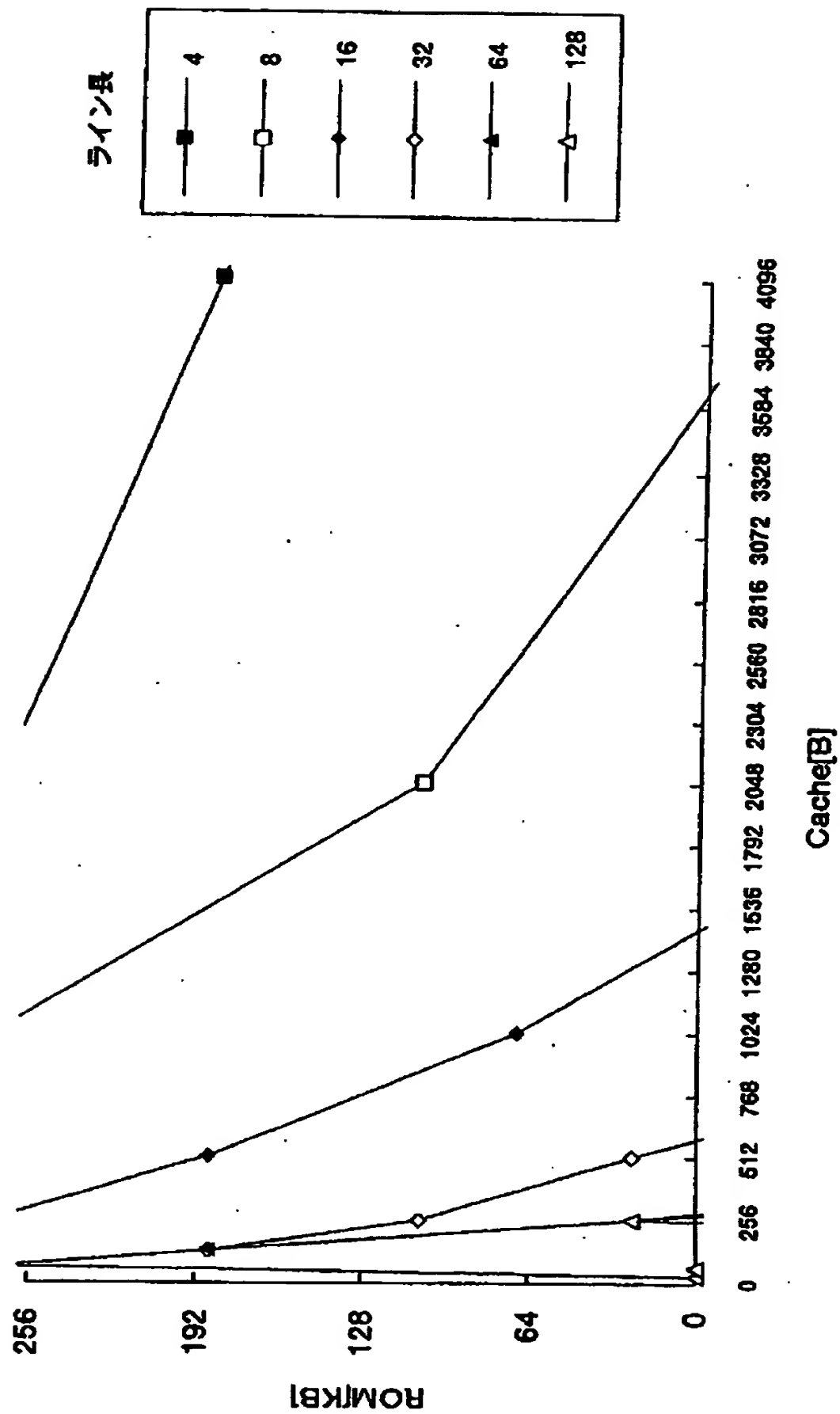
full



28 / 41

第28図

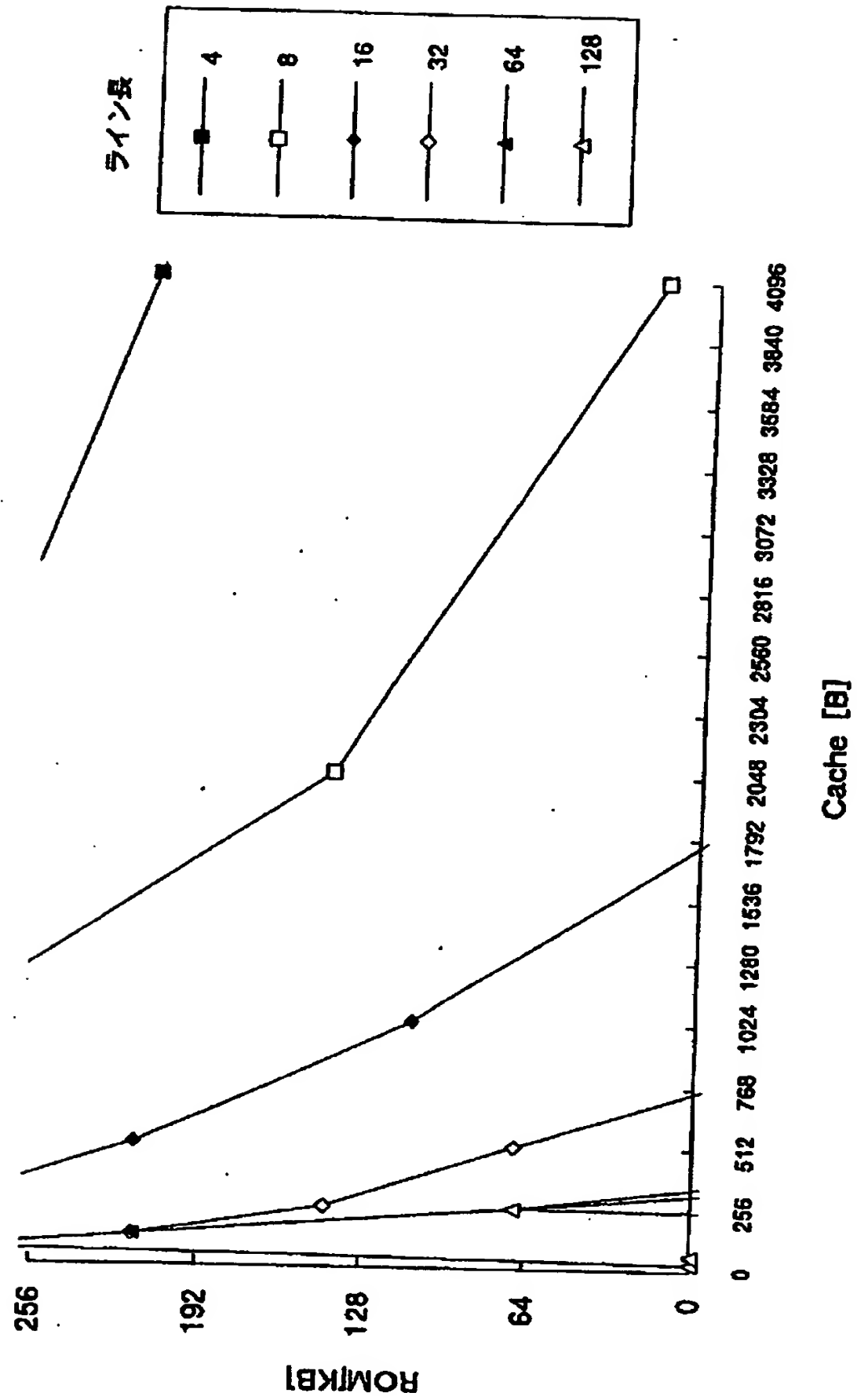
4way



29 / 41

第29図

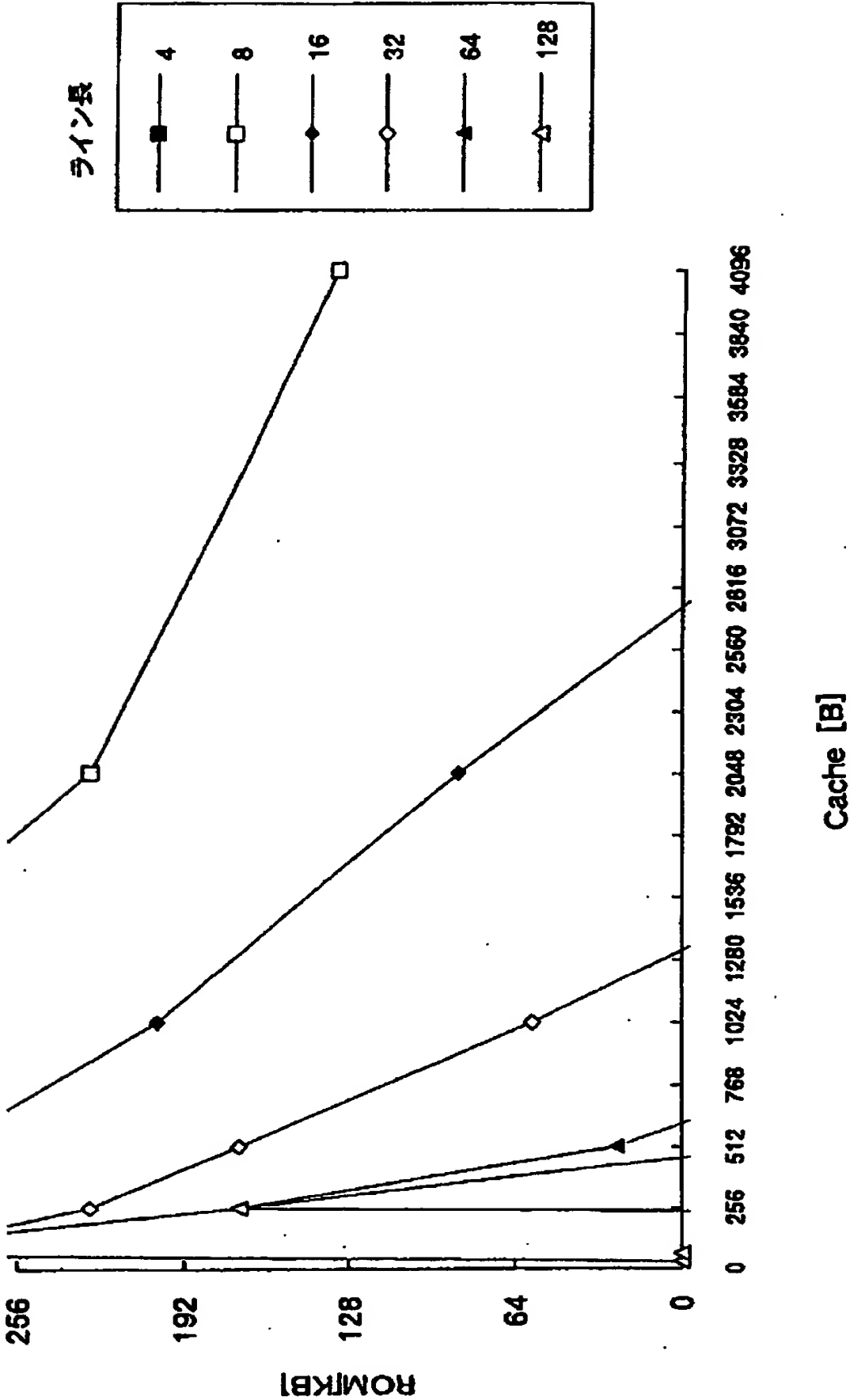
2way



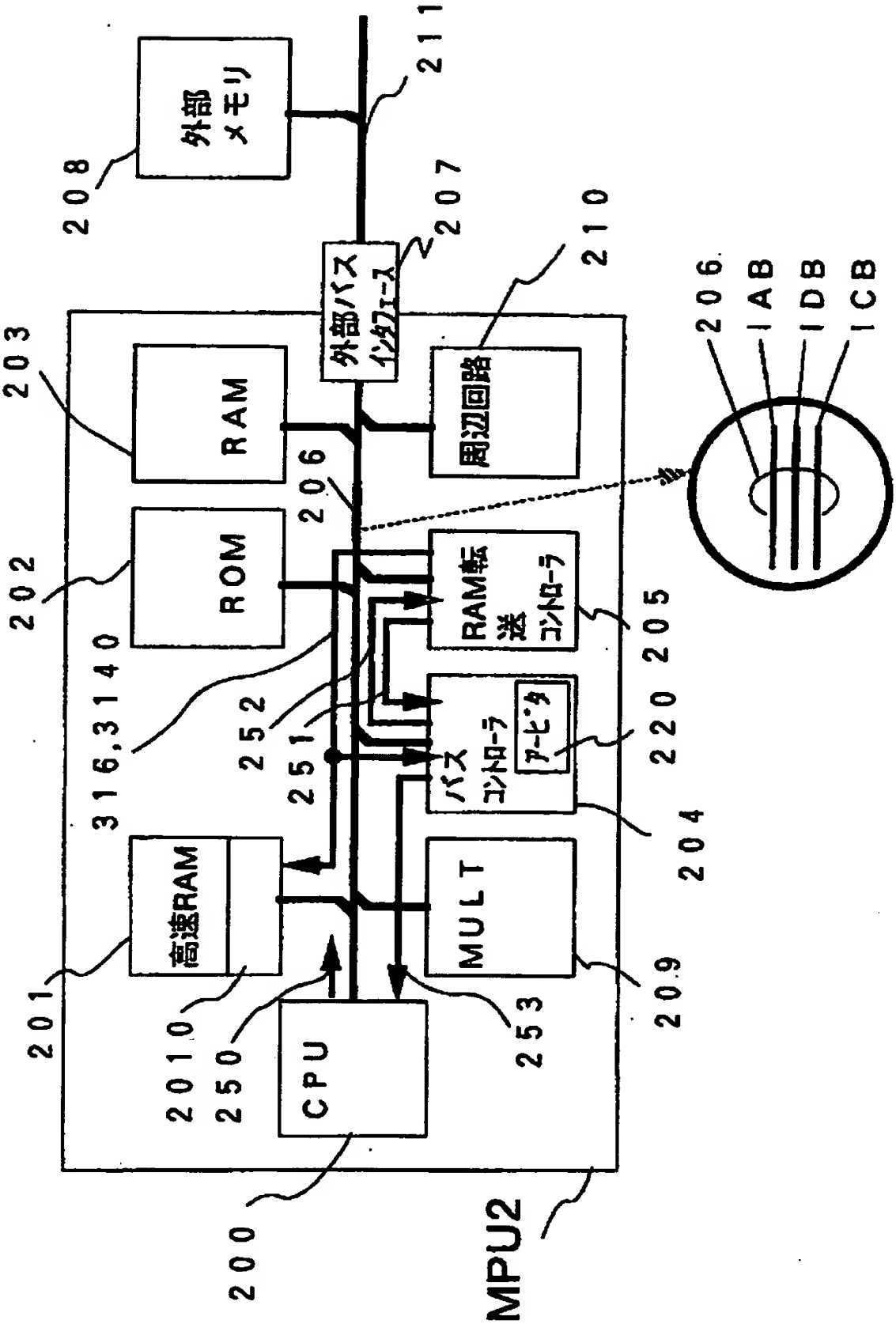
3 0 / 4 1

第 3 0 図

direct



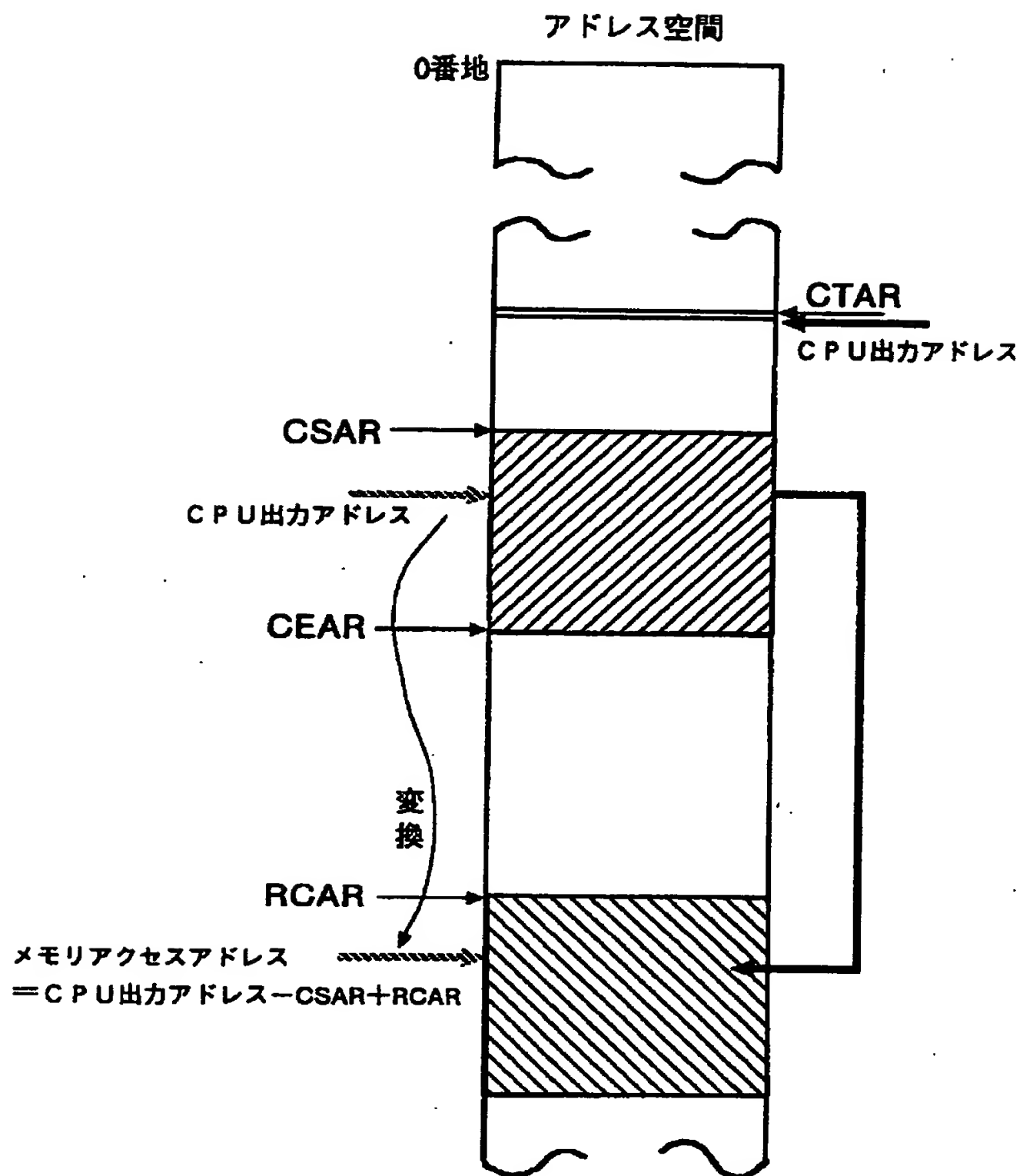
第31図





33/41

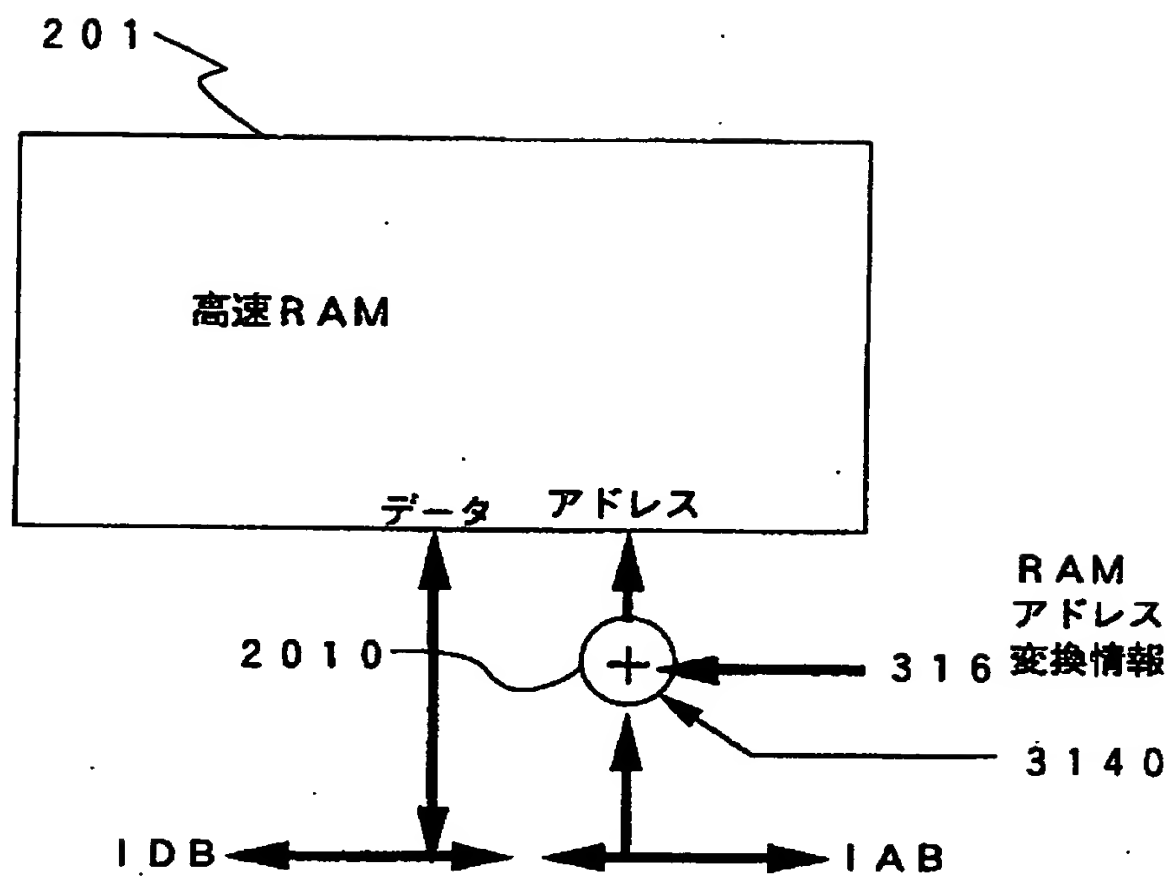
第33図



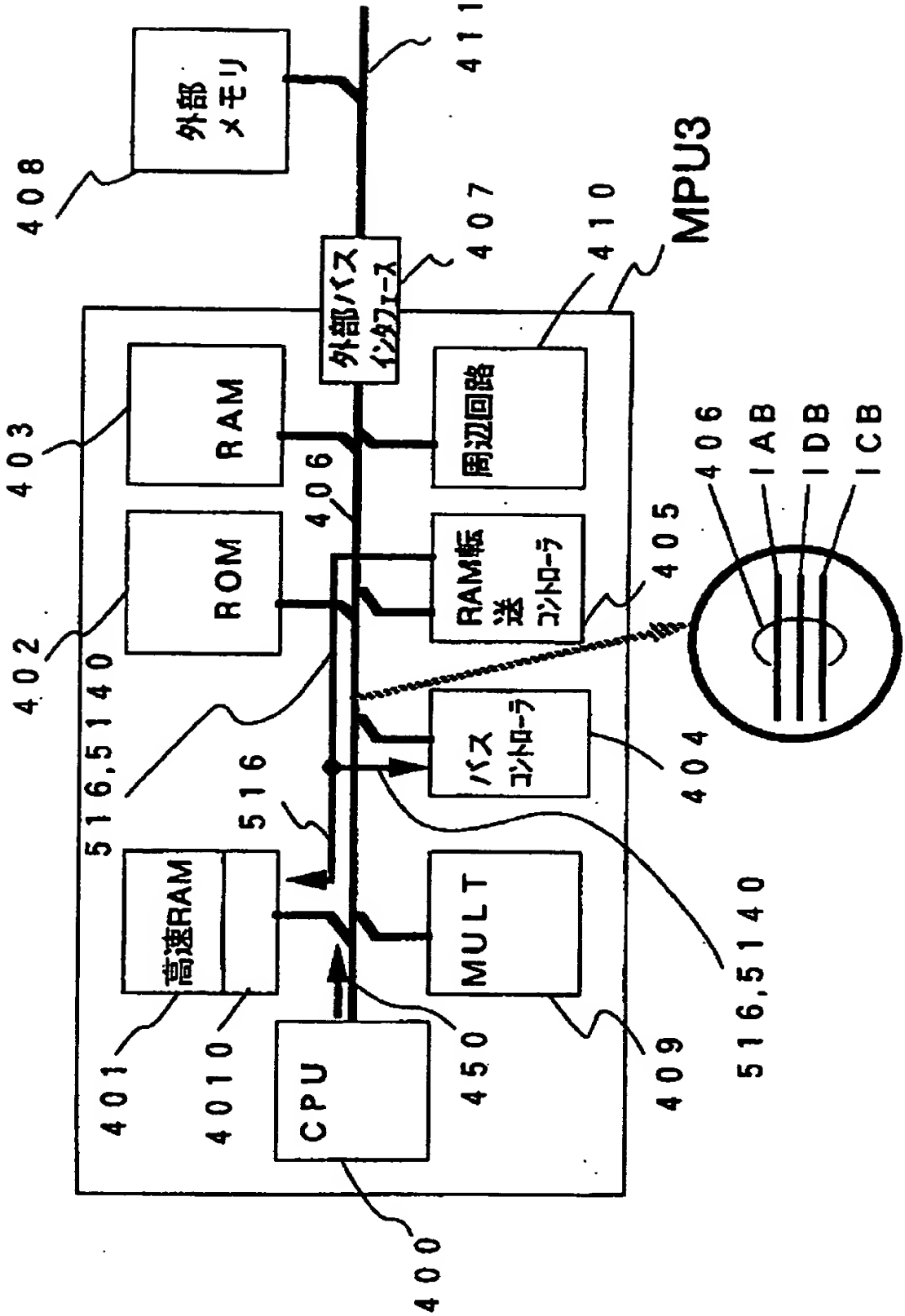


34/41

第34図

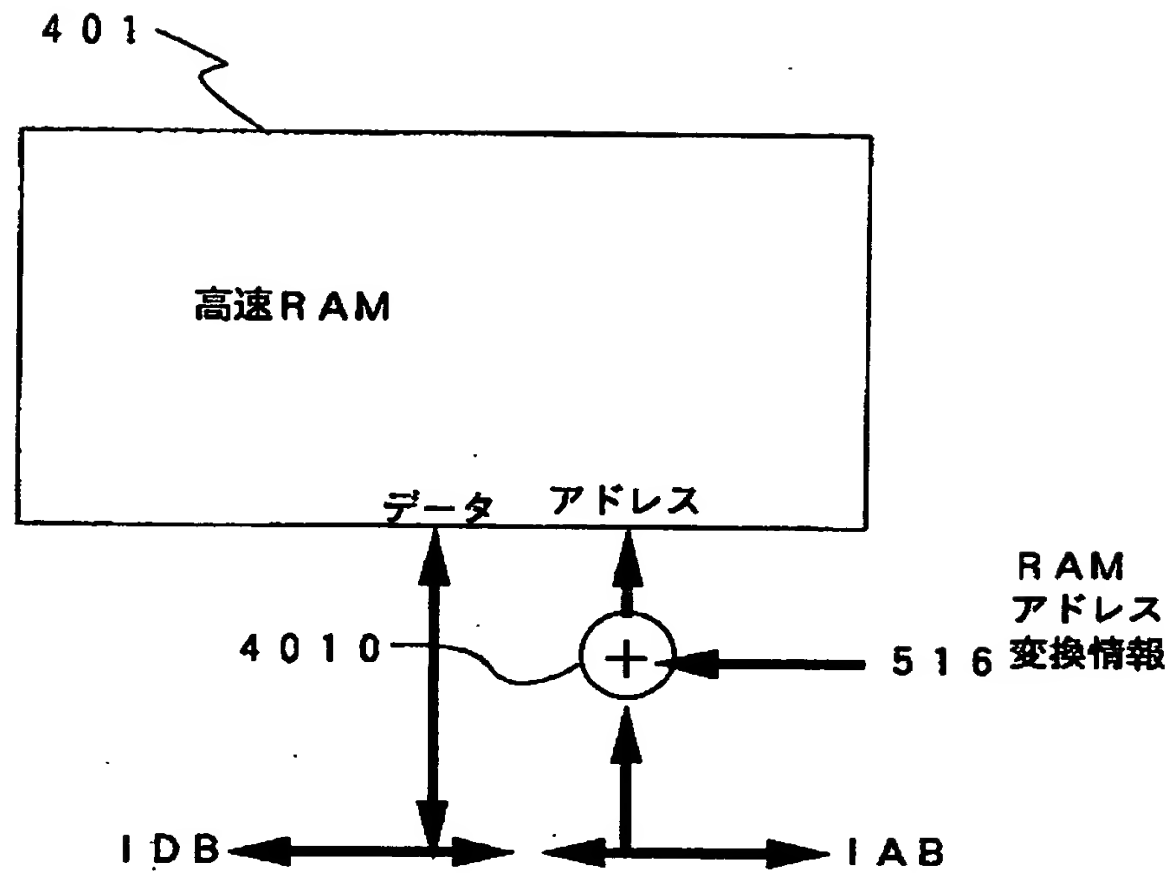


第35図

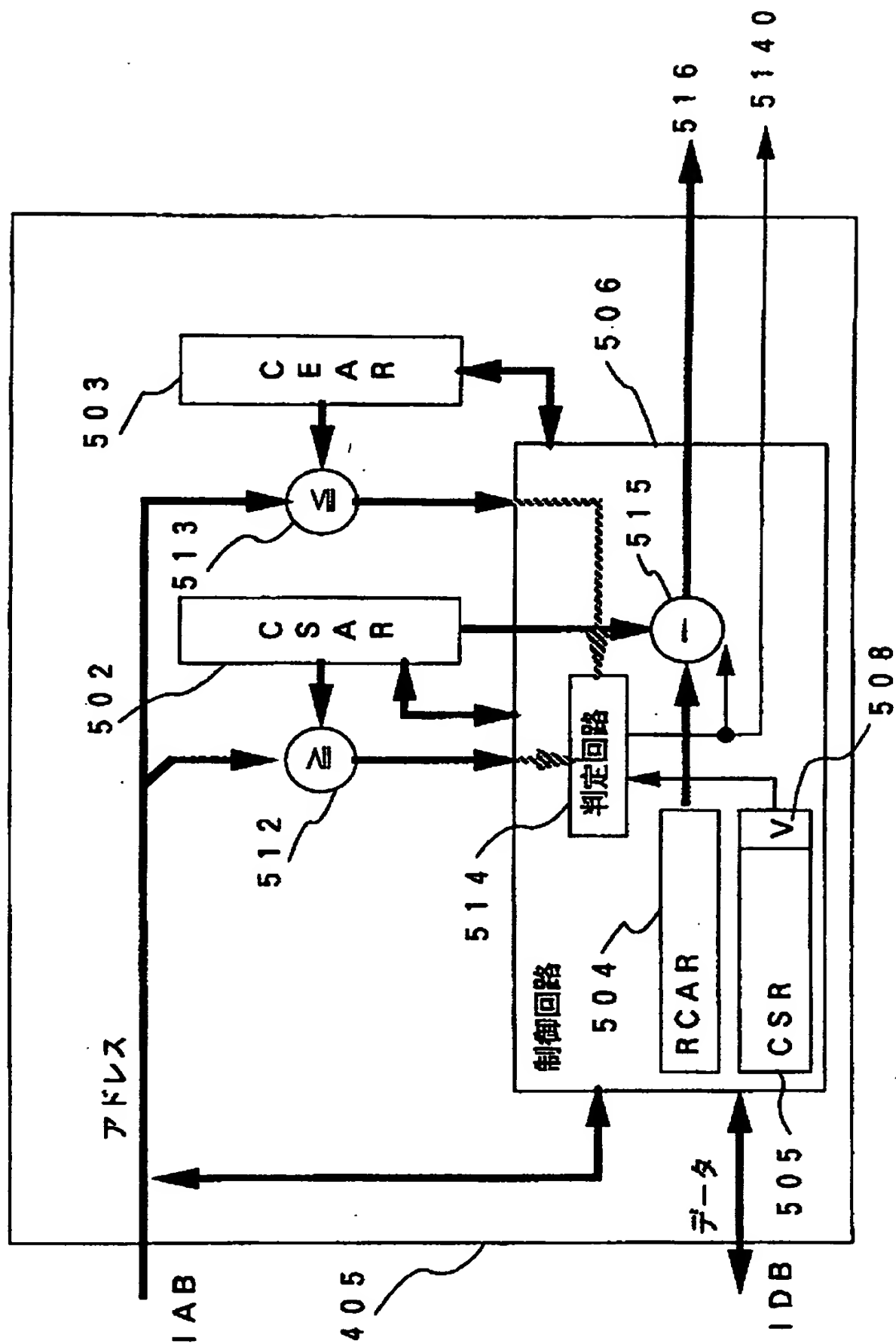


36/41

第36図



第37図



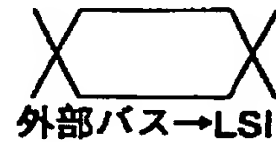
38/41

## 第38図

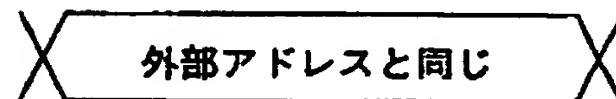
外部アドレスバス (411内)



外部データバス (411内)



CPUアドレス (406内)



CPUデータ (406内)



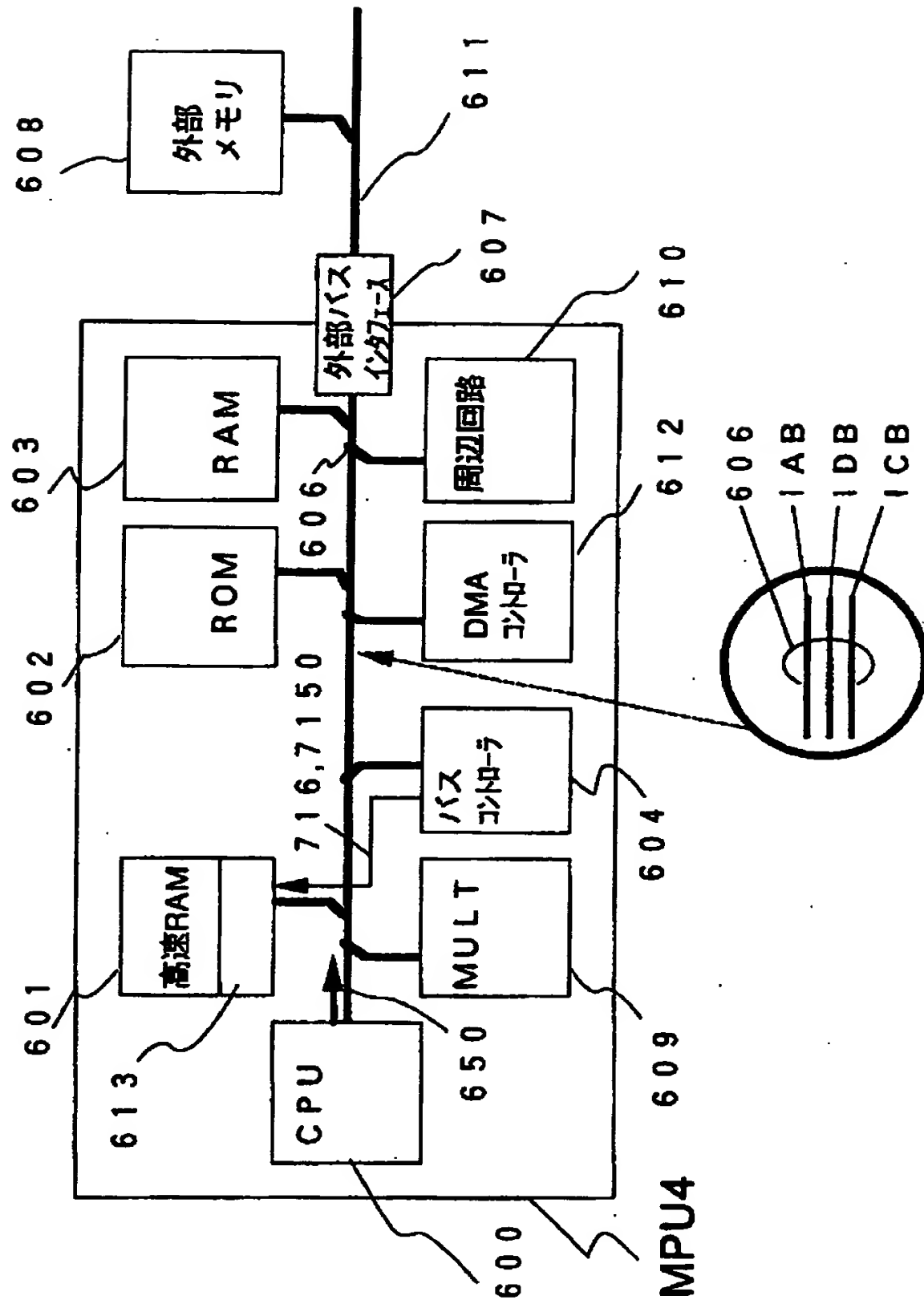
高速RAMアドレス



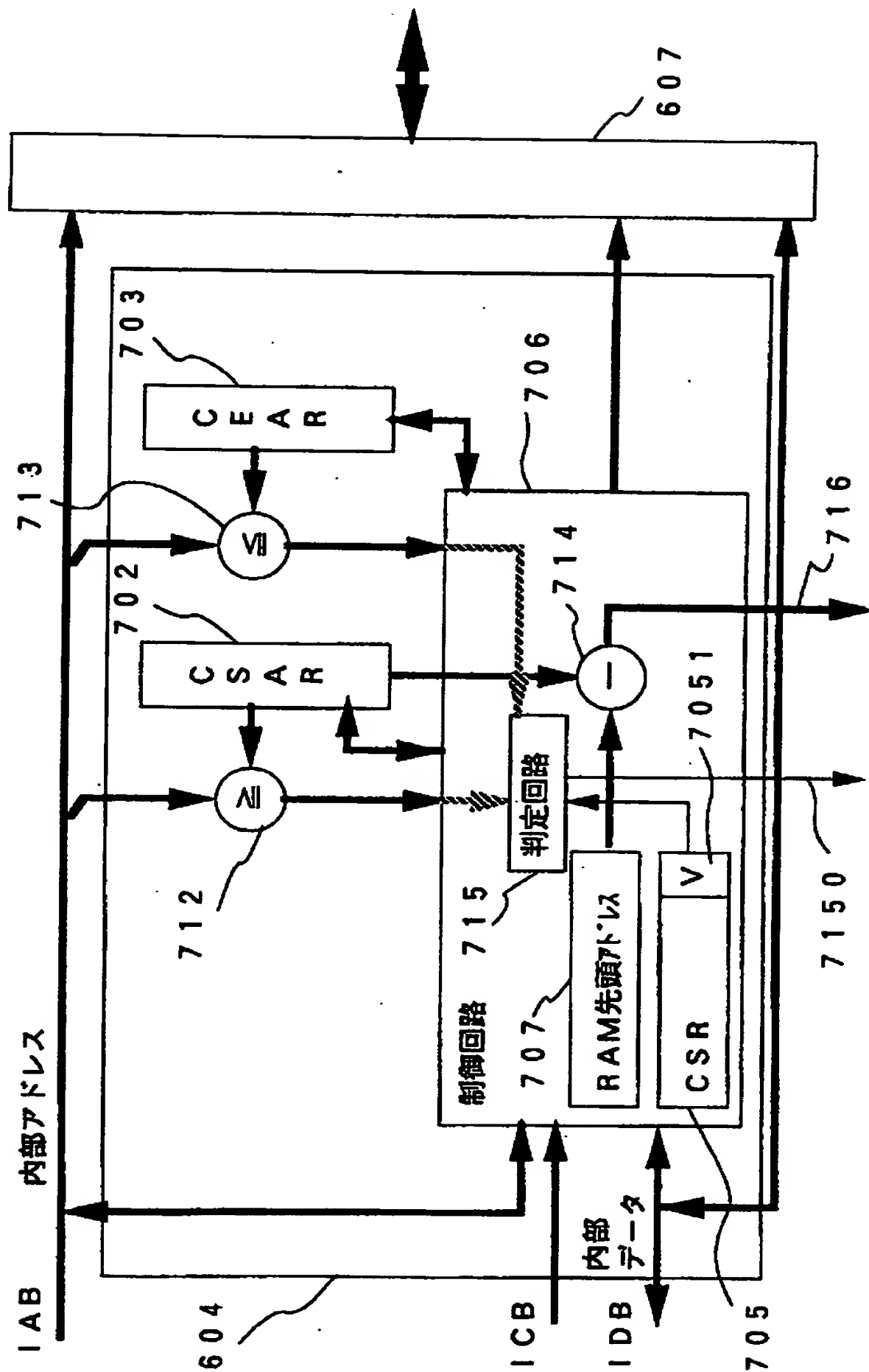
高速RAMデータ



第39図

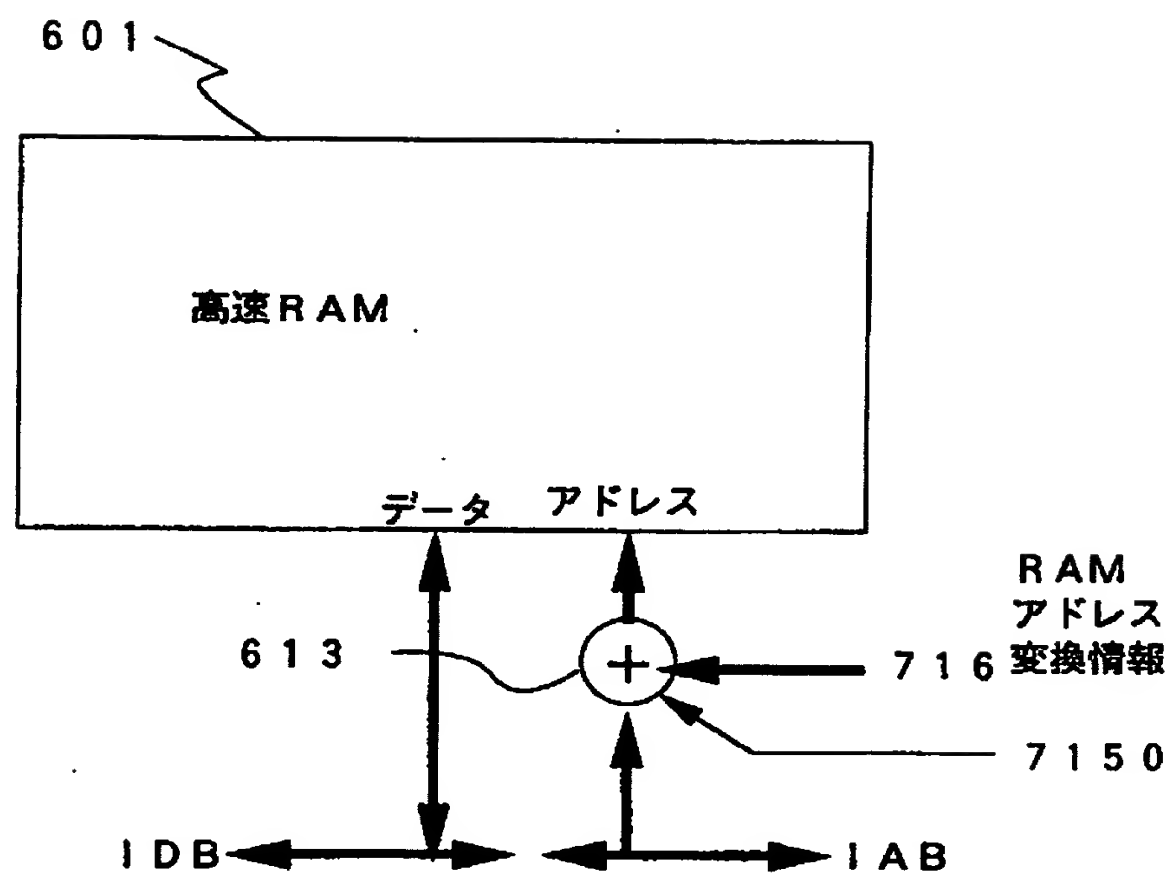


第40図



41 / 41

第41図





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01308

## A. CLASSIFICATION OF SUBJECT MATTER

Int. C1<sup>6</sup> G06F12/08, 15/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. C1<sup>6</sup> G06F12/08, 15/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1971 - 1996
Kokai Jitsuyo Shinan Koho	1971 - 1995
Toroku Jitsuyo Shinan Koho	1994 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 1-95343, A (Matsushita Electric Ind. Co., Ltd.), April 13, 1989 (13. 04. 89), Claim (Family: none)	1 - 9
A	JP, 2-187881, A (Mitsubishi Electric Corp.), July 24, 1990 (24. 07. 90), Claim (Family: none)	1 - 9
A	JP, 5-210974, A (Standard Microsystems Corp.), August 20, 1993 (20. 08. 93), Page 4, paragraph (0010); Fig. 2 & EP, 535701, A & CA, 2079690, A	2
A	JP, 61-136145, A (Hitachi, Ltd. and another), June 24, 1986 (24. 06. 86), Page 2, upper left column, line 14 to lower left column, line 5 (Family: none)	3
A	JP, 5-35467, A (NEC Corp.), February 12, 1993 (12. 02. 93) (Family: none)	4 - 9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

July 30, 1996 (30. 07. 96)

Date of mailing of the international search report

August 13, 1996 (13. 08. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01308

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 5-28040, A (Oki Electric Industry Co., Ltd.), February 5, 1993 (05. 02. 93), Claim (Family: none)	10 - 17
A	JP, 62-27825, A (Fujitsu Ten Ltd.), February 5, 1987 (05. 02. 87), Claim (Family: none)	10 - 17

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G06F 12/08, 15/78

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G06F 12/08, 15/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1971-1996年  
 日本国登録実用新案公報 1994-1996年  
 日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 1-95343, A (松下電器産業株式会社), 13. 4月. 1989 (13. 04. 89), 特許請求の範囲 (ファミリーなし)	1-9
A	J P, 2-187881, A (三菱電機株式会社), 24. 7月. 1990 (24. 07. 90), 特許請求の範囲 (ファミリーなし)	1-9
A	J P, 5-210974, A (スタンダード マイクロシステムズ コーポレイシ ョン), 20. 8月. 1993 (20. 08. 93), 第4頁段落10, 図2 & E P, 535701, A & C A, 2079690, A	2
A	J P, 61-136145, A (株式会社日立製作所 外1名), 24. 6月. 1986 (24. 06. 86), 第2頁左上欄14行-左下欄5行 (ファミリーなし)	8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

30. 07. 96

国際調査報告の発送日

13.08.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

高松 猛

5B

7623

電話番号 03-3581-1101 内線 3546

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 5-35467, A (日本電気株式会社), 12. 2月. 1993 (12. 02. 93) (ファミリーなし)	4-9
A	JP, 5-28040, A (沖電気工業株式会社), 5. 2月. 1993 (05. 02. 93), 特許請求の範囲 (ファミリーなし)	10-17
A	JP, 62-27825, A (富士通テン株式会社), 5. 2月. 1987 (05. 02. 87), 特許請求の範囲 (ファミリーなし)	10-17

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**